



Document Summary



New
Search



Help

[Preview Claims](#)

[Preview Full Text](#)

[Preview Full Image](#)

Email Link: 

Document ID: JP 2001-144276 A2

Title: SEMICONDUCTOR SUBSTRATE AND METHOD OF PRODUCTION

Assignee: TOSHIBA CORP

Inventor: SATO TSUTOMU
MATSUO MIE
MIZUSHIMA ICHIRO
TSUNASHIMA YOSHITAKA
TAKAGI SHINICHI

US Class:

Int'l Class: H01L 27/12 A; G02B 6/122 B; G02B 6/12 B; H01L 21/762 B; H01L 27/04 B; H01L 21/822 B; H01L 21/8238 B; H01L 27/092 B; H01L 27/08 B; H01L 27/10 B; H01L 27/108 B; H01L 21/8242 B; H01L 29/786 B; H01L 21/336 B; H01L 29/84 B

Issue Date: 05/25/2001

Filing Date: 08/23/2000

Abstract:

PROBLEM TO BE SOLVED: To form an SOI structure without causing cost increase or lowering of reliability.

SOLUTION: A plurality of grooves 4 are made in the surface of a silicon substrate 1 while being arranged two-dimensionally and then the silicon substrate 1 is heat treated to deform the plurality of grooves 4 into one planar cavity 5.

(C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-144276

(P2001-144276A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) Int.Cl.⁷

H 0 1 L 27/12

識別記号

F I

H 0 1 L 27/12

テームコード (参考)

Z

F

L

G 0 2 B 6/122

6/12

27/08

3 3 1 E

3 3 1 A

審査請求 未請求 請求項の数44 O L (全 27 頁) 最終頁に続く

(21) 出願番号 特願2000-252881 (P2000-252881)

(22) 出願日 平成12年8月23日 (2000.8.23)

(31) 優先権主張番号 特願平11-246582

(32) 優先日 平成11年8月31日 (1999.8.31)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 佐藤 力

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72) 発明者 松尾 美恵

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

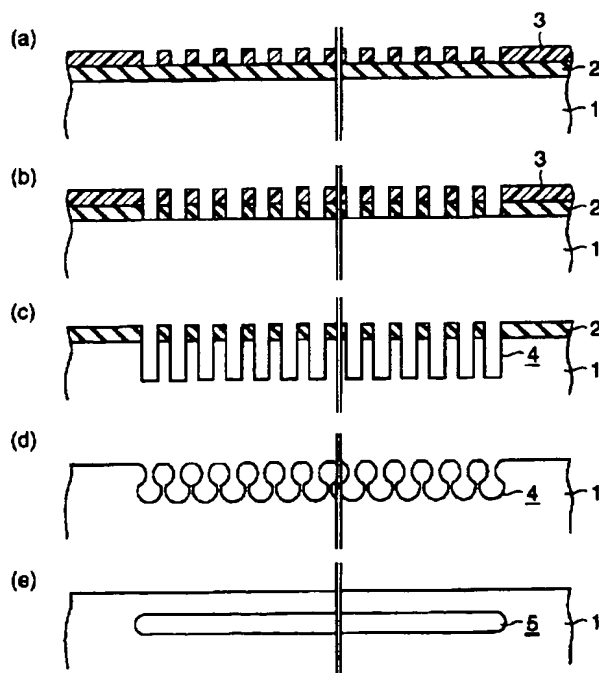
最終頁に続く

(54) 【発明の名称】 半導体基板およびその製造方法

(57) 【要約】

【課題】 コストの上昇や、信頼性の低下を招かずに S O I 構造を形成すること。

【解決手段】 シリコン基板 1 の表面に複数の溝 4 を 2 次元的に配列形成した後、シリコン基板 1 に熱処理を施すことによって、複数の溝 4 を 1 つの平板状の空洞 5 に変える。



1

【特許請求の範囲】

【請求項 1】内部に平板状の空洞が設けられていることを特徴とする半導体基板。

【請求項 2】内部に平板状の絶縁部材が設けられていることを特徴とする半導体基板。

【請求項 3】内部に空洞を含む半導体基板であって、前記空洞の内面の少なくとも一部に設けられ、前記空洞の上の前記半導体基板内に引っ張り応力を発生させる応力発生膜とを含むことを特徴とする半導体基板。

【請求項 4】前記応力発生膜は、絶縁膜および前記半導体基板の構成元素とは異なる半導体元素を含む半導体膜の一方であることを特徴とする請求項 3 に記載の半導体基板。

【請求項 5】前記応力発生膜上の前記半導体基板の厚さ／（前記応力発生膜上の前記半導体基板の厚さ＋前記応力発生膜の厚さ）の比が 0.1 以上 0.9 以下であることを特徴とする請求項 3 に記載の半導体基板。

【請求項 6】半導体からなる半導体基板であって、内部に空洞を有し、かつ前記空洞の内部に前記半導体からなる柱が存在することを特徴とする半導体基板。

【請求項 7】前記空洞上の半導体基板の厚さを t 、前記柱から最も近い前記半導体からなる領域と前記柱との間の距離を w 、前記半導体のヤング率を E ($N/\mu m^2$)、前記空洞上の前記半導体基板にかかる荷重を P ($N/\mu m^2$) とした場合に、 $w \leq t$ ($E/0.0568P$)^{1/4} の条件を満たすことを特徴とする請求項 6 に記載の半導体基板。

【請求項 8】前記半導体からなる領域は、前記空洞の端部および前記空洞内に存在する前記柱とは別の前記半導体からなる柱の一方であることを特徴とする請求項 6 に記載の半導体基板。

【請求項 9】請求項 1 ないし 8 のいずれか 1 項に記載の半導体基板と、前記半導体基板の前記空洞、前記絶縁部材および前記応力発生膜のいずれかの上の半導体領域上に形成された半導体素子とを含むことを特徴とする半導体装置。

【請求項 10】前記半導体素子は MOS トランジスタであることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】基板の内部に複数の球状の空洞を 3 次元的に周期的に配列してなることを特徴とする 3 次元周期構造体。

【請求項 12】前記複数の球状の空洞は、前記基板の深さ方向に関しては同一線上に等間隔で配列され、前記基板内の同一平面内に関しては格子状に配列されていることを特徴とする請求項 11 に記載の 3 次元周期構造体。

【請求項 13】前記複数の球状の空洞は実質的に全て同じサイズであることを特徴とする請求項 11 に記載の 3 次元周期構造。

【請求項 14】前記複数の球状の空洞はサイズが異なる複数の球状の空洞を含み、前記基板の深さ方向に関して

2

は複数の同じサイズの空洞が同一線上に等間隔で配列され、前記基板内の同一平面内に関しては複数のサイズの異なる空洞が格子状に配列されていることを特徴とする請求項 11 に記載の 3 次元周期構造体。

【請求項 15】前記基板は、シリコン基板であることを特徴とする請求項 11 に記載の 3 次元周期構造体。

【請求項 16】前記空洞は、角の取れた多面体で構成されていることを特徴とする請求項 11 に記載の 3 次元周期構造体。

【請求項 17】前記空洞の内部に水素が存在することを特徴とする請求項 11 に記載の 3 次元周期構造体。

【請求項 18】請求項 11 に記載の 3 次元周期構造体と、この 3 次元周期構造体と繋がった半導体素子とを含むことを特徴とする半導体装置。

【請求項 19】半導体基板と、前記半導体基板内に組み込まれ、半導体元素から形成され、上面、側面および底面の周囲が空間である、光を通す導波路とを含むことを特徴とする半導体装置。

【請求項 20】前記半導体元素は、前記半導体基板を構成する半導体元素と同じであることを特徴とする請求項 19 に記載の半導体装置。

【請求項 21】内部に平板状の空洞を有する半導体基板と、前記空洞上の前記半導体基板の表面に形成された受動素子とを含むことを特徴とする半導体装置。

【請求項 22】前記受動素子は、インダクタおよびキャパシタの少なくとも一方であることを特徴とする請求項 21 に記載の半導体装置。

【請求項 23】冷却構造を含む半導体基板であって、前記冷却構造は前記半導体基板を貫通し、冷媒を流すための複数の冷却パイプを含むことを特徴とする半導体基板

【請求項 24】半導体基板の表面に複数の第 1 のトレンチを形成する工程と、

前記半導体基板に熱処理を施すことによって、前記複数の第 1 のトレンチを 1 つの平板状の空洞に変える工程とを含むことを特徴とする半導体基板の製造方法

【請求項 25】前記平板状の空洞を形成した後、前記半導体基板の表面に前記平板状の空洞に達する第 2 のトレンチを形成する工程と、

前記第 2 のトレンチおよび前記平板状の空洞の内部を絶縁膜で埋め込む工程とをさらに含むことを特徴とする請求項 24 に記載の半導体基板の製造方法。

【請求項 26】前記平板状の空洞を形成した後、熱酸化により前記平板状の空洞の内面に酸化膜を形成することを特徴とする請求項 24 に記載の半導体基板の製造方法。

【請求項 27】前記第 2 のトレンチを形成した後、熱酸化により前記平板状の空洞の内面に酸化膜を形成することを特徴とする請求項 25 に記載の半導体基板の製造方

3

法。

【請求項 28】半導体基板の表面に、複数の第 1 のトレンチを形成するとともに、前記第 1 のトレンチよりも開口面が広い第 3 のトレンチを形成する工程と、
前記半導体基板に熱処理を施すことによって、前記複数の第 1 のトレンチと前記第 3 のトレンチとを、平板状の空間領域を有し、かつ前記半導体基板の表面に開口面を有する閉じていない 1 つの空洞に変える工程と、
前記空洞の内部を絶縁膜で埋め込む工程とを含むことを特徴とする半導体基板の製造方法

【請求項 29】前記第 1 のトレンチの間隔を D 、前記第 1 のトレンチの開口面の面積と同じ面積を有する円の半径を R とした場合に、 $D < 4R$ となるように、前記複数の第 1 のトレンチを配列形成することを特徴とする請求項 24 ないし 28 のいずれか 1 項に記載の半導体基板の製造方法。

【請求項 30】前記第 1 のトレンチのアスペクト比が 2.5 以上であることを特徴とする請求項 24 ないし 28 のいずれか 1 項に記載の半導体基板の製造方法。

【請求項 31】前記半導体基板の前記空洞上の半導体領域に MOS トランジスタを形成する工程をさらに含むことを特徴とする請求項 24 ないし 30 のいずれか 1 項に記載の半導体基板の製造方法。

【請求項 32】半導体基板の表面にアスペクト比が 5 以上の複数の第 1 のトレンチおよびアスペクト比が 4 以下の複数の第 4 のトレンチを形成する工程と、
前記半導体基板に熱処理を施すことによって、前記複数の第 1 のトレンチを 1 つの空洞に変え、かつ前記複数の第 4 のトレンチを消滅させ、これらの第 4 のトレンチおよび前記空洞が形成された領域を含む前記半導体基板の表面を平坦にする工程とを含むことを特徴とする半導体基板の製造方法

【請求項 33】半導体基板の表面に複数のトレンチを形成する工程と、
前記半導体基板に第 1 の熱処理を施すことによって、前記複数の第 1 のトレンチを 1 つの空洞に変える工程と、
前記半導体基板に第 2 の熱処理を施し、前記空洞の内部の圧力を変えることによって、前記半導体基板が存在する雰囲気中の圧力と前記空洞の内部の圧力との差を小さくする工程とを含むことを特徴とする半導体基板の製造方法

【請求項 34】前記第 1 の熱処理を高温・減圧下で行い、前記第 2 の熱処理を低温・高圧下で行うことを特徴とする請求項 33 に記載の半導体基板の製造方法。

【請求項 35】前記第 1 の熱処理を 1100℃ 以上の高温下で行うことを特徴とする請求項 33 に記載の半導体基板の製造方法。

【請求項 36】前記第 2 の熱処理は、水素濃度が 100% の雰囲気中で行うことを特徴とする請求項 33 に記載の半導体基板の製造方法。

4

【請求項 37】前記第 2 の熱処理は、大気圧以上の高圧下で行うことを特徴とする請求項 33 に記載の半導体基板の製造方法。

【請求項 38】前記第 1 の熱処理と前記第 2 の熱処理が連続工程であることを特徴とする請求項 33 に記載の半導体基板の製造方法。

【請求項 39】半導体基板の表面に複数の第 1 のトレンチを形成する工程と、

前記半導体基板に熱処理を施すことによって、前記複数の第 1 のトレンチを 1 つの平板状の空洞に変える工程と、

前記半導体基板に前記空洞に達する第 2 の溝を形成する工程と、

熱酸化法により前記空洞の内面に、前記空洞の上の前記半導体基板内に引っ張り応力を発生させるための熱酸化膜を形成する工程とを含むことを特徴とする半導体基板の製造方法

【請求項 40】半導体基板の表面に複数の第 1 のトレンチを形成する工程と、

前記半導体基板を構成する第 1 の半導体元素とは異なる第 2 の半導体元素を含む第 1 の半導体膜を、前記複数の第 1 のトレンチを含む前記半導体基板の表面に形成する工程と、

前記半導体基板に第 1 の熱処理を施すことによって、前記複数の第 1 のトレンチを 1 つの平板状の空洞に変える工程と、

前記半導体基板に前記空洞に達する第 2 の溝を形成する工程と、

前記半導体基板に第 2 の熱処理を施すことによって、前記空洞の内面に、前記空洞の上の前記半導体基板内に引っ張り応力を発生させるための、前記第 1 および第 2 の半導体元素を含む第 2 の半導体膜を形成する工程とを含むことを特徴とする半導体基板の製造方法

【請求項 41】半導体基板の表面に複数の第 1 のトレンチを形成する工程と、

前記半導体基板に熱処理を施すことによって、前記複数の第 1 のトレンチをそれぞれ複数の球状の空洞に変える工程とを含むことを特徴とする 3 次元周期構造体の製造方法。

【請求項 42】前記熱処理を 1100℃ 以上の高温下、水素濃度が 100% の減圧下の雰囲気中で行うことを特徴とする請求項 41 に記載の 3 次元周期構造体の製造方法。

【請求項 43】半導体基板の表面に複数のトレンチを形成する工程と、

前記半導体基板に熱処理を施すことによって、前記複数のトレンチを 1 つの平板状の空洞に変える工程と、

前記半導体基板をエッチングし、前記空洞上の前記半導体基板の一部を選択的に残して、上面、側面および底面の周囲が空間である、光を通す導波路としての半導体領

5

を前記半導体基板に組み込むように形成する工程とを含むことを特徴とする半導体基板の製造方法。

【請求項 4】前記第 1 のトレンチの深さ方向に垂直な平面による、前記第 1 のトレンチの断面積は、前記第 1 のトレンチの底面以外のところで最小となることを特徴とする請求項 2 4 または 2 8 に記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、SOI 構造と同様の効果を有する半導体基板およびその製造方法、ならびに同半導体基板を用いた半導体装置等に関する。

【0002】

【従来の技術】近年、DRAM 等の電子デバイスにおいては、よりいっそうの高速化や省電力化が求められている。高速化や省電力化を実現するための 1 つの手段として、通常用いられているシリコン基板（バルクシリコン基板）の代わりに、SOI（Silicon On Insulator）基板を用いることがあげられる。

【0003】SOI 基板は絶縁領域上にシリコン領域が存在するという構造を持った基板であって、その形成方法にはいくつもの種類があり、例えば貼り合わせ法、SIMOX（Separation by Implanted Oxygen）法、ELTRAN（Epitaxial Layer TRANSfer）法などがある。

【0004】しかしながら、従来の SOI 基板の形成方法はコストがかかるため、DRAM 等の民生用電子デバイスには向いていないという問題があった。さらに、欠陥の少ないシリコン領域（素子形成領域）を形成することが困難であるため、バルクシリコン基板を用いた場合に比べて、十分な信頼性が得られないという問題もあった。

【0005】

【発明が解決しようとする課題】上述の如く、電子デバイスのさらなる高性能化は、SOI 基板を用いることにより実現可能であるが、コストや信頼性の点で問題があった。

【0006】本発明は、上記事情を考慮してなされたもので、その代表たる目的は、コストの上昇や、信頼性の低下を招かずに形成できる SOI 構造と同様の効果を有する半導体基板およびその製造方法を提供することにある。また、本発明は、同半導体基板・製造方法の応用に係る装置・製法を提供することも目的としている。

【0007】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。

【0008】上記目的を達成するために、本発明に係る半導体基板は、半導体基板中に平板状の空洞（ESS: Empty Space Silicon）が設けられていることを特徴とする。空洞は最初の誘電率 1 を有する絶縁物であり、究極

6

の SOI 構造といえる SON（Silicon ON Nothing）構造が可能となる。

【0009】ここで、半導体基板のほぼ全体に空洞を設ける必要なく（なお、全体に設けると半導体基板が空洞の上下で分断されるので意味はない）、必要なところだけ、具体的には SOI 基板のメリットを享受したいところだけで十分である。

【0010】また、本発明に係る他の半導体基板は、半導体基板中に平板状の絶縁部材が部分的に設けられていることを特徴とする。

【0011】本発明に係る半導体基板の製造方法は、半導体基板の表面に複数の第 1 のトレンチを形成する工程と、前記半導体基板に熱処理を施すことによって、前記複数の第 1 のトレンチを 1 つの平板状の空洞に変える工程とを有することを特徴とする。

【0012】また、本発明に係る他の半導体基板の製造方法は、半導体基板の表面に、複数の第 1 のトレンチを形成するとともに、前記第 1 のトレンチよりも開口面が広い第 3 のトレンチを形成する工程と、前記半導体基板に熱処理を施すことによって、前記複数の第 1 のトレンチと前記第 3 のトレンチとを、平板状の空間領域を有し、かつ前記半導体基板の表面に開口面を有する閉じていない 1 つの空洞に変える工程と、前記空洞の内部を絶縁膜で埋め込む工程とを有することを特徴とする。

【0013】これらの半導体基板の製造方法の好ましい形態は以下の通りである。

【0014】（1）平板状の空洞を形成した後、半導体基板の表面に平板状の空洞に達する第 2 のトレンチを形成する工程と、第 2 のトレンチおよび平板状の空洞の内部を絶縁膜で埋め込む工程とをさらに有する。

【0015】（2）平板状の空洞を形成した後、熱酸化により平板状の空洞の内面に酸化膜を形成する。この後、必要に応じて上記（1）の工程を行う。

【0016】（3）第 1 のトレンチの最短の間隔を D 、第 1 のトレンチの開口面の面積と同じ面積を有する円の半径を R とした場合に、 $D < 4R$ となるように、複数の第 1 のトレンチを配列形成する。

【0017】（4）半導体基板としてシリコン基板を用いる。

【0018】（5）上記（4）において、減圧下かつ SiO_2 が還元される雰囲気中で空洞を形成するための熱処理を行う。

【0019】（6）上記（4）において、減圧下かつ水素雰囲気中で空洞を形成するための熱処理を行う。

【0020】（7）上記（4）において、減圧下かつ 1000°C 以上 1200°C 以下で空洞を形成するための熱処理を行う。

【0021】本発明の如き構成の半導体基板であれば、本発明の半導体基板の製造方法により、コストの上昇や信頼性の低下を招かずに SOI と同様の機能を有する構

7

造を形成することができる。

【0022】コストの上昇を防止できる理由は、半導体基板に形成した複数のトレンチを熱処理によって1つの空洞に変えるというシンプルなプロセスにより、SOI構造の絶縁領域を形成しているからである。

【0023】上記のように熱処理による表面マイグレーションを利用して単結晶領域を形成できるため、初期の基板として多少の欠陥を含んだシリコン基板を使用することができる。この結果、ウェハコストを削減できる。すなわち、従来のSOI基板に比べても勿論のこと、バルク基板に形成した従来のトランジスタと比べても、コストを抑えることができる可能性がある。

【0024】また、この方法では、複数のトレンチを形成した領域がSOI構造となるため、所望の領域のみSOI構造とすることができる。したがって、SOI構造が必要とされる領域のみをSOI構造を形成することで、コストの上昇をさらに抑制でき、またデバイス設計の自由度も高くなる。

【0025】信頼性の低下を防止できる理由は、上記複数のトレンチから1つの空洞への形状変化が、半導体基板の表面エネルギーを極小にするように生じる半導体の表面マイグレーションによるものであるため、素子を形成する半導体領域の結晶性が通常の単結晶半導体と同程度となるからである。

【0026】本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記載および添付図面によって明らかになるであろう。

【0027】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0028】（第1の実施形態）図1は、本発明の第1の実施形態に係る平板状の空洞（ESS: Empty Space in Silicon）を有するシリコン基板、すなわち究極のSOI基板といえるSON（Silicon On Nothing）基板の形成方法を示す断面図である。

【0029】まず、図1（a）示すように、単結晶のシリコン基板1上にマスク材2を形成し、その上にフォトリソパターン3を形成する。マスク材2については後で説明する。

【0030】次に図1（b）に示すように、フォトリソパターン3をマスクとして、異方性エッチング例えばRIEによりマスク材2をパターニングし、マスク材2にフォトリソパターン3のパターンを転写する。

【0031】次に図1（c）に示すように、フォトリソパターン3を炭化して剥離した後、マスク材2をマスクとして異方性エッチング例えばRIEによりシリコン基板をパターニングして、シリコン基板の表面に複数のトレンチ4を2次的に配列形成する。

【0032】ここで、トレンチ4の半径は $0.2\mu\text{m}$ 、深さは $2\mu\text{m}$ 、トレンチ4の最短の間隔（後述の図3参

8

照）は $0.8\mu\text{m}$ である。トレンチ4のレイアウトについては後で説明する

また、マスク材2は、異方性エッチングによるシリコン基板1のパターニングの際にシリコンよりもエッチングレートが十分に遅い材料が望ましく、例えば異方性エッチングにRIEを用いた場合には、シリコン酸化膜、またはシリコン窒化膜とシリコン酸化膜との積層膜などが適している。

【0033】次にマスク材2を除去した後、減圧下（大気圧よりも低い圧力）の非酸化性雰囲気、好ましくは SiO_2 を還元する雰囲気、例えば 1100°C 、 10Torr の 100% 水素雰囲気中にて高温アニールを行うことにより、図1（d）を経て図1（e）に示すように、各トレンチ4の開口面が閉ざされて空洞が形成され、さらに各トレンチ4にて形成された空洞同士が一体化することによって、シリコン基板1の内部に1つの平板状の空洞5が形成される。ここでは、熱処理温度を 1100°C としたがそれよりも高くても良い。

【0034】この形状変化は、シリコン基板1の表面のシリコン酸化膜が除去された後、表面エネルギーを最小にするように生じるシリコンの表面マイグレーションによるものである。

【0035】ここで、平板状の空洞が形成されるか否かは、初期のトレンチ4のレイアウトによって決まる。本実施形態のようにトレンチ4の最短の間隔が $0.8\mu\text{m}$ の場合には、図1（e）に示したように、それぞれのトレンチ4の底にて形成される空洞同士が一体化して、大きな平板状の空洞が形成される。しかし、トレンチ4の最短の間隔が $0.9\mu\text{m}$ の場合には、図2に示すように、それぞれのトレンチ4において球状の空洞6が形成されるだけである。

【0036】トレンチ4のレイアウトについて平面図を用いてさらに詳細に説明する。図3は、トレンチ4のレイアウトを示す平面図である。図3の各トレンチ4のレイアウトの右にはそれから形成される平板状の空洞5の平面図も示してある。各トレンチ4のレイアウトの平面図のW-W'断面図は図1（c）の断面図に相当し、各平板状の空洞5の平面図のW-W'断面図は図1（e）の断面図に相当する。

【0037】図において、Dはトレンチ4の間隔、Rはトレンチ4の半径を示している。なお、空洞5の短辺方向の寸法は例えば $100\mu\text{m}$ 程度である。また、空洞5の長辺方向の最大寸法はチップのそれと同程度であり、一方最小寸法はロジック部のMOSトランジスタ領域のそれと同程度である。

【0038】本発明者らの研究によれば、 $D > 4.5R$ とした場合、平板状の空洞を形成することができず、各トレンチの下部にて球状の空洞が形成されるのみであり、 $D < 4R$ とした場合、平板状の空洞を形成することができることが分かった。なお、 $4R \leq D \leq 4.5R$ の

9

場合には、平板状の空洞を形成することができたり、できなかつたりする。

【0039】したがって、図3に示した各トレンチのレイアウトにおいて、 $D < 4R$ と設定することにより、各トレンチ4の底で形成される空洞が一体化して、初期にトレンチ4の形成されていた領域下に平板状の空洞5を選択的に形成することができる。

【0040】すなわち、本実施形態によれば、平板状の空洞5を形成したい領域のみに、 $D < 4R$ を満たすようにトレンチ4をレイアウトしておくことで、その領域下10のみに平板状の空洞5を形成することができ、ウェハ面内において部分的に平板状の空洞（誘電体領域）を有するシリコン基板を形成することができる。

【0041】これは、ウェハ面内の所望の領域のみをSOI構造にできることを意味し、その領域では高速性、低消費電力などSOI基板のメリットを享受することができる。したがって、高価な基板であるSOI基板を用いずに、SOI基板のメリットを享受することができる。

【0042】しかも、SIMOXやELTRAN等のSOI基板とは異なり、素子を形成するシリコン領域に欠陥を生じさせることはない。何故なら、トレンチの表面エネルギーを最小にするように生じるシリコンの表面マイグレーションによって、空洞を形成しているの、素子を形成するシリコン領域の結晶性は通常の単結晶シリコンと同程度となるからである。

【0043】このような平板状の空洞を設ける部分としては、例えば図4に示すように、高速性、低消費電力が要求される、DRAM/LOGIC混載のLOGIC部の基板中があげられる。

【0044】なお、RIEにより複数のトレンチ4を形成した場合には、複数のトレンチ4を平板状の空洞に形状変化させるための熱処理を行う直前に、複数のトレンチ4の内面に厚さ10nm程度の熱酸化膜を形成した後、その熱酸化膜を除去することが望ましい。このような熱酸化膜の形成と除去によって、RIEにより生じたシリコン基板1のダメージを十分に除去することができる。

【0045】なお、本実施形態では、トレンチ4の開口面の形状が円の場合について説明したが、矩形的場合でも同様の結果が得られる。この場合のRは、その矩形的面積と同じ面積の円の半径となる。矩形以外の他の形状の場合についても同様である。

【0046】また、マスク材2を除去せずに熱処理を行っても、同様に平板状の空洞5を形成することができる。ただし、平坦化されたシリコン基板1の表面を利用するためには、基板表面の平坦化も同時に行えるマスク材2の除去後の熱処理のほうが望ましい。マスク材2を除去しないで熱処理を行っても、その後CMP (Chemical Mechanical Polishing) 工程を追加することによつ

10

て表面を平坦にすることはできる。

【0047】また、平板状の空洞上の基板表面は、その他の基板表面に対して少し下がっている。その理由は、各トレンチの底で形成される空洞の体積が初期のトレンチの体積よりも小さくなり、先に形成する複数のトレンチの体積に対して、形成される平板状の空洞の体積を差し引いた分だけ、基板表面が下がるからだと考えられる。なお、平板状の空洞上の基板表面は平坦である。

【0048】これは、平板状の空洞をDRAM/LOGIC混載のLOGIC部に適用することを考えると、DRAM部とLOGIC部との境界部分に段差が生じることを意味している。すなわち、本発明を適用したDRAM/LOGIC混載であるか否かは、DRAM部とLOGIC部との境界部分に段差があるか否かである分かる。他のデバイスでも同様の段差は生じる。

【0049】上記段差は、 $R = 0.2 \mu\text{m}$ 、 $D = 0.8 \mu\text{m}$ の場合には、 $0.1 \mu\text{m}$ 以下となる。この程度の段差であれば問題なく露光できる。今の技術では $0.2 \mu\text{m}$ 以下であれば問題なく露光できる。

【0050】段差の影響を軽減する具体的な方法について述べる。光露光の場合、段差上ではマスク（レクチル）のパターンよりも細いパターンがレジストに転写されるので、マスク（レクチル）の段差上に対応した部分のパターンについては、予め細くなる分を見込んで幅広のパターンとすると良い。他の方法としては、電子ビーム露光を用いることがあげられる。何故なら、電子ビーム露光は光露光に比べて段差の影響を受けにくいからである。

【0051】上述したように、ある程度の段差であればそのまま残しておいても問題はないが、その影響を無視できない場合には、平板状の空洞を形成する前に、空洞の形成領域以外の領域を予め低下する分だけ掘り下げておくか、あるいは平板状の空洞を形成した後に低下した分だけ空洞の形成領域上のみを持ち上げるか、あるいは全面をCMPにより研磨して表面を平坦化すれば良い。

【0052】予め低下する分だけ掘り下げる場合には、例えば平板状の空洞の形成領域をマスク例えば酸化膜で覆った状態で、RIE法により平板状の空洞を形成しない領域を選択的にエッチングしてその表面を後退させる。

【0053】一方、低下した分だけ持ち上げる場合には、例えば平板状の空洞の形成領域以外をマスクで覆った状態で、ジクロロシランと塩酸を用いたSiの選択エピタキシャル成長を行えば良い。

【0054】また、高温・長時間の熱処理によって平板状の空洞を形成すれば、表面全体を平坦にすることが可能である。

【0055】以上述べたように、本実施形態によれば、シリコンの表面マイグレーションによって、複数のトレンチを1つの平板状の空洞に変えるというシンプルかつ

ダメージフリーなプロセスにより、誘電体領域が空洞の S O I 構造を実現できる。したがって、本実施形態によれば、コストの上昇や信頼性の低下を招かずに、S O I 構造を有するシリコン基板を提供できるようになる。

【0056】また、平板状の空洞の位置および大きさは、複数のトレンチの位置および大きさによって制御できるので、シリコン基板中の所望の領域に所望の大きさの S O I 構造を容易に導入することができる。

【0057】なお、本実施形態では、シリコン基板中に 1 つの平板状の空洞を形成する例について説明したが、シリコン基板中に複数の平板状の空洞を形成しても良い。

【0058】(第2の実施形態) 図5～図7は、本発明の第2の実施形態に係る MOS トランジスタの製造方法を示す断面図である。なお、以下の図において、前出した図と同一符号は同一部分または相当部分を示し、その詳細な説明は省略する。

【0059】本実施形態では、シリコン基板中に平板状の空洞を形成し、この平板状の空洞上に MOS トランジスタを製造する場合について説明する。

【0060】まず、図1(a)～図1(e)に示した第1の実施形態と同様の方法により、図5(a)に示すように、シリコン基板1内に平板状の空洞5を形成する。

【0061】次に図5(b)に示すように、シリコン基板1上にシリコン酸化膜7、シリコン窒化膜8、フォトレジストパターン9を順次形成する。

【0062】ここで、フォトレジストパターン9は、その開口部の少なくとも一部が空洞形成領域上に来るようにレイアウトされている。図には、開口部の全体が空洞形成領域上に来るようにレイアウトされている例が示されている。

【0063】次に図5(c)に示すように、フォトレジストパターン9をマスクとして、異方性エッチング例えば R I E によりシリコン窒化膜8、シリコン酸化膜7を順次パターニングし、フォトレジストパターン9のパターンをシリコン窒化膜8、シリコン酸化膜7に転写する。

【0064】次に図5(d)に示すように、フォトレジストパターン9を炭化して剥離した後、シリコン窒化膜8、シリコン酸化膜7をマスクにしてシリコン基板1を異方性エッチング例えば R I E によりパターニングし、平板状の空洞5まで繋がるトレンチ10を形成する。

【0065】次に図6(e)に示すように、熱酸化により平板状の空洞5の内面にシリコン熱酸化膜11を形成する。次に同(e)に示すように、平板状の空洞5およびトレンチ10の内部を埋め込むように、シリコン酸化膜12を全面に堆積した後、平板状の空洞5およびトレンチ10の外部の不要なシリコン酸化膜を CMP により除去して表面を平坦化する。このとき、平板状の空洞5の内部を完全にシリコン酸化膜12で埋め込む必要はな

く、少なくともトレンチ10を完全に埋め込むだけでも充分である。

【0066】次に図6(f)に示すように、素子分離(S T I)を形成するためのフォトレジストパターン13を形成した後、これをマスクとしてシリコン窒化膜8、シリコン酸化膜7を異方性エッチング例えば R I E により順次パターニングし、フォトレジストパターン13のパターンをシリコン窒化膜8、シリコン酸化膜7に転写する。

【0067】次に図6(g)に示すように、フォトレジストパターン13を炭化して剥離した後、シリコン窒化膜8、シリコン酸化膜7をマスクにしてシリコン基板1を異方性エッチング例えば R I E によりパターニングして、素子分離トレンチ14を形成する。このとき、平板状の空洞4の内面に形成した熱酸化膜11が R I E ストップパーとして働く。

【0068】次に図6(h)に示すように、熱酸化により素子分離トレンチ14の側面にシリコン熱酸化膜15を形成した後、素子分離トレンチ14内にシリコン酸化膜16を埋め込み形成し、表面を平坦にする。

【0069】素子分離トレンチ14の埋め込みは、例えば素子分離トレンチ14の内部を充填するようにシリコン酸化膜16を全面に C V D により堆積した後、素子分離トレンチ14の外部の不要なシリコン酸化膜16を CMP により除去することによって行う。

【0070】次に図7(i)に示すように、シリコン窒化膜8、シリコン酸化膜7を除去する。シリコン窒化膜8は加熱 H₃ P O₄ 溶液、シリコン酸化膜7は弗酸溶液を用い除去する。

【0071】次に図7(j)に示すように、シリコン基板1の表面を熱酸化して、その表面にゲート酸化膜17を形成する。上記熱酸化は、例えば、900℃、酸素と H C l との混合ガス雰囲気中で行う。ここでは、ゲート絶縁膜として、酸化膜を用いたが、タンタルオキサイド膜、オキシナイトライド膜等の他の絶縁膜を用いても良い。

【0072】次に図7(k)に示すように、基板全面に導電性膜を成膜し、これをパターニングしてゲート電極18を形成する。

【0073】導電性膜としては、例えば多結晶シリコン膜、多結晶シリコン膜と金属シリサイド膜との積層膜、金属膜があげられる。上記各多結晶シリコン膜は不純物を含んだもので、アンドープの多結晶シリコン膜よりも低抵抗のものである。

【0074】多結晶シリコン膜を用いた場合には多結晶シリコンゲート、多結晶シリコン膜と金属シリサイド膜との積層膜を用いた場合にはポリサイドゲート、金属膜を用いた場合にはメタルゲートの MOS トランジスタがそれぞれ形成されることになる。メタルゲートの場合にはいわゆるダマシゲートを採用すると良い (A. Yagis

hita et al. IEDM1998 p.785)。

【0075】次に図7(k)に示すようにゲート電極15をマスクにしてシリコン基板1に不純物イオンを注入した後、上記不純物イオンを活性化するためのアニールを行って、浅くて低濃度の拡散層(エクステンション)19、20を形成する。

【0076】最後に、図7(l)に示すように、公知の技術(側壁残し)によりゲート側壁絶縁膜21を形成し、このゲート側壁絶縁膜21とゲート電極18をマスクにしてシリコン基板1に不純物イオンを注入した後、
10 上記不純物イオンを活性化するためのアニールを行って、ソース拡散層22およびドレイン拡散層23を形成することでLDD構造のMOSトランジスタが完成する。

【0077】なお、図7(k)の工程のアニールを省略し、図7(l)の工程のアニールで不純物イオンの活性化をまとめて行っても良い。

【0078】さらに、本実施形態では、トレンチ10および素子分離トレンチ14を形成する際に、シリコン窒化膜8、シリコン酸化膜7からなるマスク材を用いた
20 が、シリコンとのエッチングにおける選択比を考慮して、シリコン酸化膜7、シリコン窒化膜8、シリコン酸化膜7からなるマスク材を用いることが望ましい。

【0079】上記実施形態で説明したMOSトランジスタは、例えばDRAM/LOGIC混載のLOGICを構成するMOSトランジスタに用いると良い。この場合、LOGIC領域では高速性、低消費電力などSOIのメリットを享受できる。

【0080】ここで、LOGIC領域のMOSトランジスタの製造プロセスは、DRAM領域のMOSトランジスタのそれと比べて、複数のトレンチを形成するための
30 エッチング工程と、複数のトレンチを1つの平板状の空洞に変える熱処理工程とが多いだけ、両者の製造プロセスは基本的に同じである。

【0081】したがって、従来のDRAM/LOGIC混載の製造プロセスをほぼそのまま踏襲できるので、LOGIC領域では高速性、低消費電力などSOIのメリットを享受できるDRAM/LOGIC混載を容易に実現することができる。

【0082】(第3の実施形態)図8は、本発明の第3
40 の実施形態に係るMOSトランジスタの製造方法を示す断面図である。第2の実施形態では平板状の空洞をシリコン酸化膜で埋め込む方法について説明したが、本実施形態では平板状の空洞をシリコン酸化膜で埋め込まず、空洞の状態のまま残す方法について説明する。

【0083】まず、図8(a)に示すように、図1

(a)~図1(e)に示した第1の実施形態と同様の方法により、シリコン基板1内に平板状の空洞5を形成する。

【0084】次に図8(b)に示すように、熱酸化によ

り平板状の空洞5の内面およびシリコン基板の表面にシリコン熱酸化膜24を形成する。上記熱酸化は、例えば900℃、酸素とHClとの混合ガス雰囲気中で行う。シリコン熱酸化膜22は、後工程において、図6(g)で示したようにRIE時におけるストッパーとしての役割を果たす。

【0085】次に図8(c)に示すように、シリコン基板1上にシリコン熱酸化膜24を介してシリコン窒化膜25を形成した後、その上に素子分離(STI)を形成するためのフォトレジストパターン26を形成する。

【0086】次に図8(d)に示すように、フォトレジストパターン26をマスクとして、シリコン窒化膜25、シリコン熱酸化膜24を異方性エッチング例えばRIEにより順次パターニングし、フォトレジストパターン26のパターンをシリコン窒化膜25、シリコン熱酸化膜24に転写する。

【0087】次にフォトレジストパターン21を剥離した後、第2の実施形態で示した図6(f)以降の工程と同様の工程を経て、図9に示すLDD構造のMOSトランジスタが完成する。

【0088】本実施形態でも第2の実施形態と同様な効果を得ることができ、さらに本実施形態では平板状の空洞5をシリコン酸化膜で埋め込む工程がないので、プロセスの簡略化を図れるという効果も得られる。

【0089】(第4の実施形態)図10は、本発明の第4の実施形態に係るMOSトランジスタの製造方法を示す工程断面である。

【0090】まず、図10(a)に示すように、シリコン基板1上にマスク材2、フォトレジストパターン27を順次形成する。

【0091】ここで、フォトレジストパターン27が、第1の実施形態の図1(a)のフォトレジストパターン3と異なる点は、複数のトレンチ4に対応したパターン(開口部)の他に、そのパターンの近傍に、開口面の面積がトレンチ4よりも広いトレンチに対応したパターン(開口部)を有していることである。

【0092】次にフォトレジストパターン27をマスクとして、異方性エッチング例えばRIEによりマスク材2をパターニングし、フォトレジストパターン27のパターンをマスク材2に転写し、その後フォトレジストパターン27を炭化して剥離する。

【0093】次に図10(b)に示すように、マスク材2をマスクとして異方性エッチング例えばRIEによりシリコン基板をパターニングして、シリコン基板の表面に複数のトレンチ4およびこれらのトレンチ4の近傍にそれらよりも開口面の面積が広いトレンチ28を形成する。

【0094】次に図10(c)に示すように、マスク材2を剥離した後、減圧下の非酸化性雰囲気、例えば1100℃、10 Torrの100%水素雰囲気中にて高温

15

アニールを行うことにより、複数のトレンチ4およびトレンチ28を、平板状の空間領域を有し、かつ基板表面に開口面を有する閉じていない1つの空洞5'に変える。

【0095】ここでは、複数のトレンチ4に関しては、第1の実施形態で示したように、シリコンの表面マイグレーションによる形状変化を利用しているため、各トレンチ4の底部で球形の空洞が形成され、その結果として平板状の空洞が形成されるが、大きいトレンチ28の下部ではその角部のみ丸まるだけである。

【0096】図12に、トレンチ4のレイアウトおよび空洞の平面図を示す。これは図3に対応する図であり、図12の左側の平面図（トレンチレイアウト）は図3の左側の平面図（トレンチレイアウト）に相当し、図12の右側の平面図（平板状の空洞）は図3の右側の平面図（平板状の空洞）に相当する。

【0097】ここで、大きなトレンチ28は、以下で示すように空洞5の内面酸化用のトレンチであるため、その個数は1つ以上であれば良く、またその位置は、複数のトレンチ4の形状変化によって得られる平板状の空洞と繋がれば良いため、図12に示した位置に限定されるものではなく、複数のトレンチ4の近傍であれば任意である。そして、大きなトレンチ28の断面形状も任意である。

【0098】次に図10(d)に示すように、空洞5'の内面にシリコン熱酸化膜11を形成した後、空洞5'を充填するように、シリコン酸化膜12を全面に堆積する。

【0099】次に図11(e)に示すように、空洞5'の外部の不要なシリコン酸化膜12をCMPにより除去して表面を平坦化する。

【0100】次に図11(f)に示すように、シリコン酸化膜29、シリコン窒化膜30、素子分離トレンチ(STI)を形成するためのフォトレジストパターン31を基板上に順次形成する。

【0101】次に図11(g)に示すように、フォトレジストパターン31をマスクとして、シリコン窒化膜30、シリコン酸化膜29を異方性エッチング例えばRIEにより順次パターニングし、フォトレジストパターン31のパターンをシリコン窒化膜30、シリコン酸化膜29に転写する。

【0102】次にフォトレジストパターン31を炭化して剥離した後、第2の実施形態で示した図6(f)以降の工程と同様の工程を経て、図13に示すLDD構造のMOSトランジスタが完成する。

【0103】(第5の実施形態) 本実施形態では、第1～第4の実施形態に適用可能な改善技術について説明する。上述した平板状の空洞を有するシリコン基板(SON基板)の形成方法においては、その形成方法上どうしても空洞5の形成領域の端部に段差が生じてしまう(図

16

14参照)。

【0104】上記段差は、空洞5上のシリコン基板1上にデバイスを作製しようとした際に問題となる。例えば、段差をまたいで電極となる金属膜をパターニングする際には、設計通りにパターニングできず、その結果として配線のショートやオープン等の問題が起こる。さらに、酸化処理を行う際には、段差付近の基板内に応力が生じ、結晶欠陥等の問題が起こる。

【0105】この種の段差を解消する方法としては、例えば、CMP法またはRIE法を用いて表面を平坦化する方法が考えられる。後者の方法は、表面が低い方の領域を酸化膜などのマスク膜で覆った状態で、表面が高い方の領域をRIE法によりエッチングし、段差を解消するという方法である。しかし、いずれの方法も段差を解消するために、一つ以上の工程を別に追加する必要があり、工程数の増加、作製プロセスの複雑化を招いてしまう。

【0106】そこで、本発明では、空洞5を形成しない領域にも、予めアスペクト比の小さな複数のトレンチを配列形成しておく。このとき形成するトレンチは、トレンチの下部に空洞が形成できないようなアスペクト比の小さなトレンチ(ダミートレンチ)であり、その密度は、予測される段差を解消できるように設計する。このように設計されたトレンチを予め形成しておくことで、空洞5の形成領域端部の段差を容易に解消することができる。

【0107】以下、図15を参照しながら上記改善技術を用いたSON基板の形成方法について説明する。

【0108】まず、図15(a)に示すように、第1の実施形態と同様に、シリコン基板1上にマスク材2、フォトレジストパターン3を形成し、フォトレジストパターン3をマスクとしてマスク材2をエッチングし、マスク材2にフォトレジストパターン3のパターンを転写する。

【0109】次に図15(b)に示すように、フォトレジストパターン3を剥離した後、マスク材2をマスクとしてシリコン基板1をパターニングして、トレンチ4、4'を配列形成する。ここで、トレンチ4、4'のアスペクト比は互いに異なっており、同様に密度も互いに異なっている。アスペクト比および密度に関しては後述する。

【0110】次に図15(c)に示すように、シリコン酸化膜2を弗化水素水溶液により除去する。

【0111】次にこの状態のシリコン基板1を還元性雰囲気中にて熱処理する。この熱処理により、シリコン基板1の表面エネルギーが最小になるように、シリコンの表面マイグレーションが生じる。

【0112】その結果、トレンチ4が形成された領域の形状は図15(d)、図15(e)に示すように変化し、シリコン基板1中に板状の空洞5が形成される。こ

17

のとき、空洞が形成された領域上の基板表面は、図 15 (a) の工程時と比べて低くなる。

【0113】一方、トレンチ 4' が形成された領域の形状は図 15 (d)、図 15 (e) に示すように変化し、トレンチ 4' は消滅するが空洞 5 は形成されない。このとき、トレンチ 4' が消滅した領域上の基板表面は、空洞が形成された領域上の基板表面と同程度低くなる。その結果、図 14 (b) に示したような段差を招かずに、シリコン基板 1 中に空洞 4 を形成することができる。

【0114】以下、それぞれの工程について詳細に説明 10 する。

【0115】まず、初期のトレンチ形状に対して得られる空洞の形状および個数について、図 16 および図 17 を用いて説明する。図 16 に示すように、初期のトレンチ形状が円筒状の場合、得られる空洞の形状は球状である。初期の円筒状のトレンチの半径を R_R とすると、球状の空洞の半径 R_S は $1.88 R_R$ 、上下の隣り合う 2 つの球状の空洞間の間隔 L は $8.89 R_R$ となる。

【0116】したがって、図 17 に示すように、初期の円筒状のトレンチの深さ L を空洞の間隔 L で割ること 20 で、得られる空洞の個数が見積られる。本発明者等は、半径 $R_R = 0.2 \mu\text{m}$ のトレンチを形成し、その深さ L を $1 \mu\text{m}$ と $2 \mu\text{m}$ とに変えて調べてみた。

【0117】その結果、同じ条件の熱処理、例えば、水素雰囲気中、 1100°C 、 10 Torr 、 10 min に対して、深さが $1 \mu\text{m}$ の場合には、トレンチが消失して基板表面が単に平坦化されるだけであった。一方、深さが $2 \mu\text{m}$ の場合には、球状の空洞が 1 つ形成された。この結果は、図 17 に示すグラフから見積られる空洞の個数と一致しており、図 17 を用いて空洞の個数を試算で 30 できることを確認した。

【0118】次に形成するトレンチのアスペクト比、密度について述べる。トレンチ 4 は、空洞 5 を基板 1 内に形成するためのものである。そのためには、トレンチ 4 のアスペクト比を 5 以上とする必要がある。また、管状または板状の空洞 5 を形成するためには、トレンチ 4 を線状または格子状に予め配列しておく必要がある。その際のトレンチ 4 同士の間隔 D はトレンチ 4 の半径 R に対して、 $D < 4R$ となるように設定する必要がある。

【0119】一方、トレンチ 4' は、空洞 5 を形成する 40 ときに生じる段差を解消するためのものである。そのためには、シリコン基板 1 内に空洞を生じないように、トレンチ 4' のアスペクト比を 3 以下とする必要がある。また、トレンチ 4' の密度は、段差の大きさにより決めら*

$$\delta = \alpha P a^4 / E t^3$$

ここで、 P はシリコン層にかかる荷重を表す。 E はヤング率を表し、シリコンの場合、 $E = 0.13 (\text{N}/\mu\text{m}^2)$ である。 α は ESS 構造 ($= b/a$) によって変わる無次元の係数であり、ESS 構造が長方形で $b/a \geq 2$ の場合には、 0.0284 であり、ESS が正方形で 50

18

*れる。例えば、半径 $0.2 \mu\text{m}$ 、深さ $2 \mu\text{m}$ のトレンチ 4' を、その密度を単位面積当たり 1.6 個 ($/\mu\text{m}^2$) として形成した際には、空洞 5 を形成した後の段差は $0.12 \mu\text{m}$ であった。この場合、例えば、半径 $0.5 \mu\text{m}$ 、深さ $2 \mu\text{m}$ のトレンチ 4' を、その密度を 0.76 個 ($/\mu\text{m}^2$) として形成すれば良いことになる。

【0120】以上述べたように、本実施形態によれば、空洞となるトレンチを配列形成するとき、空洞とならないようにアスペクト比および密度が設計された複数のダミートレンチを同時に配列形成することで、工程数の増加、作製プロセスの複雑化を招かずに、シリコン基板中の空洞の形成領域端に生じる段差を容易に解消することができる。ここでは、空洞の形状が特に板状の場合について説明したが、他の形状でも良い。すなわち、ここで述べた方法は、段差が生じる空洞であればその形状に関係なく有効である。

【0121】(第 6 の実施形態) 本実施形態では、第 1 ~ 第 4 の実施形態に適用可能な他の改善技術について説明する。上述した平板状の ESS を有する SON 基板の形成方法において、大面積の ESS を形成する場合、平板状の ESS がつぶれてしまうという問題がある。

【0122】具体的には、ESS 幅が $20 \mu\text{m}$ と小さい場合は、図 18 (a) に示すように、平板状の ESS はつぶれないが、ESS 幅が $180 \mu\text{m}$ と大きい場合には、図 18 (b) およびその拡大図である図 18 (c) に示すように、平板状の ESS がつぶれてしまう。なお、図 15 において、トレンチを ESS に変えるための熱処理は、 100% 水素雰囲気中での 1100°C 、 10 Torr 、 10 min の熱処理とした。

【0123】本発明者等の鋭意研究によれば、以下に詳説するように、つぶれないサイズの ESS を求めるのに有効な計算式を見出し、さらにトレンチを ESS に変えるための熱処理を工夫することにより、ESS 幅を大きくしても、ESS をつぶれないようにできることが明らかになった。

【0124】まず最初に、ESS 構造の強度を計算した結果について説明する。図 19 に上記計算に用いた ESS 構造のモデルを示す。ESS 幅を $a (\mu\text{m})$ 、ESS 奥行きを $b (\mu\text{m})$ 、ESS 上のシリコン層の厚さを $t (\mu\text{m})$ とする。この時、シリコン層の撓み $\delta (\mu\text{m})$ は式 (1) にて表される。

【0125】

$$\dots (1)$$

$b/a = 1$ の場合には、 0.0138 で与えられる。以下の計算では、 $b/a \geq 2$ の場合について示す。

【0126】まず、シリコン層にかかる荷重として、自重を考えてみた。 $t = 1 \mu\text{m}$ 、 $a = 180 \mu\text{m}$ の ESS 構造に対して、自重による撓みを計算した結果、 $\delta =$

19

5. 2×10^{-6} (μm) と非常に小さく、無視できる程度であることが分かった。さらに、より大きな構造として $a = 1\text{mm}$ として試算したところ、 $\delta = 5 \times 10^{-3}$ (μm) と大面積のESS構造の場合にも、自重による撓みは十分に小さいことが分かった。以上の計算結果から、自重による形状変化はほとんど影響ないことが分かった。

【0127】次に、ESS内部の圧力と大気の圧力との差による荷重を考えてみた。ESS内部の圧力は、ESS形成時の熱処理時の圧力と同等かそれ以下である。したがって、例えば熱処理の圧力が 10Torr である場合には、ほぼ大気圧 ($1.013 \times 10^{-7} (\text{N}/\mu\text{m}^2)$) の荷重がかかることになる。

【0128】そこで、自重の計算の場合と同様に、 $t = 1\mu\text{m}$ 、 $a = 180\mu\text{m}$ のESSに対して、大気圧荷重による撓みを計算した。その結果、 $\delta = 23.2\mu\text{m}$ と大きく、ESSが押しつぶされてしまうことが分かった。これに対して、 $a = 20\mu\text{m}$ とESS幅を小さくした場合には、 $\delta = 3.5 \times 10^{-3}\mu\text{m}$ と圧力荷重による形状変化も無視できることが分かった。このことは、図18に示した結果と良く一致しており、式(1)を用いてつぶれを回避できるサイズを有するESSを設計することができることを意味している。

【0129】次に式(1)を用いて実際にどの程度の大きさのESSが実現可能か試算してみた。図20に、シリコン層の厚さ t が $0.1\mu\text{m}$ と $1\mu\text{m}$ の場合において、プレート幅 (ESS幅) に対してどの程度撓むか計算した結果を示す。

【0130】図20から、シリコン層の厚さ t が $1\mu\text{m}$ と厚い場合には、ESS幅を $20\mu\text{m}$ とした場合にも、*

$$D = 4.2 \times 10^{-5} \exp(-0.56/kT) \quad \dots (2)$$

k はボルツマン定数、 T は絶対温度 (K) である。式(2)により、 200°C における水素の拡散長は60秒で $1\mu\text{m}$ と見積もられる。したがって、 200°C と低温の熱処理でも水素はESS内部まで拡散することができ、その結果としてESS内部の圧力を効果的に可変することができる。すなわち、第2の熱処理を水素雰囲気中で行うことで、ESS内部の圧力を熱処理時の圧力と同等の圧力に変えることができる。

【0135】また、理想気体の法則 ($PV = nRT$) より、温度に比例して圧力も減少してしまうことを考えると、第2の熱処理中における降温過程で圧力が低くなってしまう。そのため、第2の熱処理は、予め加圧下で行うことが望ましい。例えば、第2の熱処理の温度を 600°C とした場合に、 600°C での熱処理の圧力を3気圧とすれば良い。

【0136】以上述べたようにESS内部の圧力を第2の熱処理により調整することで、ESS内部の圧力と大気の圧力との圧力差による荷重を低減または無くすることができるため、より大面積のESS構造を形成すること

20

*シリコン層の撓み δ は十分に小さいことが分かる。これに対して、シリコン層の厚さ t が $0.1\mu\text{m}$ と薄い場合には、ESS幅が $10\mu\text{m}$ の場合でも $0.1\mu\text{m}$ 以上撓んでしまうことが分かる。ESSの厚さはシリコン層の厚さ t と同程度であることから、ESSが押しつぶされてしまうことが予想できる。すなわち、シリコン層の厚さ t が $0.1\mu\text{m}$ の場合には、ESS幅が $8\mu\text{m}$ 程度以上の大きさのESSは実現不可能であることが分かった。

【0131】本発明者等は、大面積のESSを形成する方法として、図21に示すプロセスシーケンスが有効であることを見出した。すなわち、ESS構造を形成するための第1の熱処理を行った後、チャンバーを開放することなく連続して第2の熱処理を行い、ESS内部の圧力を調整する。

【0132】第1の熱処理はESSを形成するための処理である。そのため、第1の熱処理は、シリコン基板の表面でSiの表面マイグレーションの生じやすい高温・減圧下の条件で行うことが望ましく、例えば 1100°C 、 10Torr 、 10min の条件下で行えば良い。熱処理の雰囲気は非酸化性の雰囲気であれば良く、例えば 100% 水素雰囲気が望ましい。

【0133】第2の熱処理はESS内部の圧力を調整するための処理である。そのため、第2の熱処理は、低温・高圧下の条件で行うことが望ましい。熱処理の雰囲気はシリコン中での拡散係数が大きい元素を含む雰囲気、例えば水素を含む雰囲気あるいは 100% 水素雰囲気が望ましい。水素の拡散係数 $D (\text{cm}^2/\text{s})$ は、式(2)で与えられる。

$$D = 4.2 \times 10^{-5} \exp(-0.56/kT) \quad \dots (2)$$

ができるようになる。また、デバイス作製のためにSON層を薄くしても、ESSが押しつぶされることなくその形状を保ったまま、SON層上に素子を形成することが可能となる。

【0137】(第7の実施形態) SON基板のESS上のシリコン層 (SON層) にトランジスタを作製する場合、SON基板のメリットを十分に引き出すためには、SON層の厚さを $0.1\mu\text{m}$ 以下にする必要がある。しかし、大面積のSON層の厚さを薄くした場合、上述した通りに、圧力荷重によりSON層が大きく撓んでしまう。

【0138】図22に、式(1)を用いた計算により求めた、SON層の厚さと撓み量との関係を示す。SON層のESS幅は $20\mu\text{m}$ とした。図22から、SON層の厚さを $1\mu\text{m}$ として作製した後は、その撓みは無視できるほど小さいのに対して、SON層の厚さを $0.1\mu\text{m}$ まで薄くした場合には、撓み量は $1\mu\text{m}$ 以上と大きく、ESS構造が押しつぶされてしまうことが分かる。

【0139】上記結果を考慮すると、第2の熱処理は、

21

第1の熱処理によりESS構造を形成した後、デバイス作製時におけるSON層の薄膜化工程の前に行うことが有効であるといえる。第2の熱処理において、ESS内部の圧力を大気圧近傍に上げておくことで、ESSが押しつぶされることなく、薄いSON層を形成することができる。

【0140】なお、大面積の平板状のESSのつぶれを防ぐ技術については、第15の実施形態でさらに説明する。ただし、図10に示すように、空洞の形成時に一部が開口した空洞5'を形成した場合には、圧力差による荷重を考慮しなくても良いため、自重による撓みが影響しないサイズまでの大面積を有するESSを形成することができる。

【0141】(第8の実施形態)本実施形態は、チャネル直下にSiGe層等が埋め込まれたシリコン基板(歪み基板)と同様の効果を有し、かつ上記歪み基板が持っている問題点を解決できる、SON基板について説明する。

【0142】まず、従来の歪み基板について説明する。LSIにおけるトランジスタの微細化の主目的の一つは、トランジスタの高速化による高性能LSIの実現である。ところが近年トランジスタのゲート長が0.1μm以下の領域に突入し、その微細化はますます困難になりつつある。

【0143】このような背景の中で、微細化に頼ることのない高速化の実現方法として、シリコン基板の表面付近のチャネル直下に、例えばSiGe層などの異種組成層が埋め込まれてなる歪み基板が提案されている。

【0144】この種の歪み基板によれば、異種組成層によって基板表面付近のSiに歪みが生じ、これによりキャリア(電子または正孔)の移動度が向上し、トランジスタの高性能化を実現することが可能となる。

【0145】しかし、SiGe層などの異種組成層を埋め込むことは、格子歪みによる結晶欠陥の発生という問題を招くことになる。この問題は、格子歪みを大きくするためには、SiGe層のGe濃度を高くするほど顕著になる。すなわち、従来の歪み基板においては、Geを高濃度に含有するSiGe層を、如何に結晶欠陥を発生させることなく基板内部に形成するかが、プロセス上の大きな問題となっていた。

【0146】以下、図23を用いて、上記問題を解決できる、本発明の第8の実施形態に係るSON基板の形成方法について説明する。

【0147】まず、周知のリソグラフィ法およびRIE法を用いて、図23(a)に示すように、(100)面方位を有する単結晶のシリコン基板1の表面に複数のトレンチ4を配列形成する。

【0148】次に図23(b)に示すように、水素とアルゴンとの混合雰囲気中で、圧力10 Torr、1100℃、3分間の熱処理によって、シリコン基板1の表面

22

のシリコンを流動させ、空洞3を形成する。このような熱処理にて形成された空洞3の厚さ(基板深さ方向の寸法)は1.2μm、空洞3上のシリコン層(SON層)33の厚さは0.6μmとなった。

【0149】次に図23(c)に示すように、空洞5に達するトレンチ10を周知のフォトリソグラフィおよびエッチングを用いて形成する。トレンチ10の開口面は0.3μm×0.5μmの長方形で、トレンチ10の深さは2.5μmである。

【0150】次に図23(d)に示すように、シリコン基板1の表面を熱酸化し、厚さ0.4μmのシリコン酸化膜32を形成する。このような熱酸化を行った結果、SON層33の厚さは0.6μmから0.4μmに減少した。

【0151】最後に、図23(e)に示すように、RIE法を用いてシリコン基板1上のシリコン酸化膜32を選択的に除去し、空洞5および溝10内にシリコン酸化膜32を選択的に残置させ、SON基板が完成する。

【0152】このようにして得られたSON基板のSON層33内の内部応力をラマン分光法により測定したところ、250MPaの引っ張り性(tensile)応力が存在することが確認された。

【0153】このような引っ張り性応力が発生した原因は、シリコン基板1の方がシリコン酸化膜32よりも熱膨張係数が大きいことにある。シリコン基板1を高温で酸化する際には歪みが緩和される。これに対し、高温のシリコン基板1を室温に降温する際には歪みの緩和が起きない。その結果、シリコン酸化膜32よりも相対的に熱膨張係数の大きいシリコン基板1側に引っ張り性の応力が発生する。

【0154】比較のために作成したシリコン酸化膜32を形成していないSON基板について、そのSON層内の内部応力を同様に測定したところ、有意な応力値は見られなかった。このことは、シリコン酸化膜32を形成するための熱酸化工程およびその後のシリコン酸化膜を空洞5およびトレンチ10内に選択的に残置するためのエッチング工程にて得られた構造が、SON層33の内部に意図的に応力場を形成する方法として有用であることを示している。

【0155】さらに、本実施形態のSON基板は、SiGe層などの異種組成層を埋め込むことは行っていないので、格子歪みによる結晶欠陥の発生という問題は原理的に起こらない。

【0156】さらに、本実施形態のSON基板は、従来の酸化膜埋込み基板(SOI基板)に比較しても有利な構造であることが見出された。従来のSOI基板であってもSOI層の下には酸化膜が存在するため、原理的には本実施形態のSON基板と同様の効果が期待できる。

【0157】しかし、従来のSOI基板の場合、酸化膜

23

がSOI層に比べて薄すぎるので、例えば酸化膜は1 μ m以下、SOI層は1mmであるため、酸化膜により大きな応力をSOI層内に発生させることはできない。

【0158】これに対して本実施形態のSON基板の場合、従来のSOI基板のSOI層に相当するSON層33の厚さが0.6 μ mであるため、すなわちSON層33とシリコン酸化膜32とが同程度の薄さであるため、SON層33に大きな応力を発生させることができる。

【0159】図24に、本実施形態のSON基板を用いて作製したMOSトランジスタの断面図を示す。このMOSトランジスタの移動度を測定したところ、従来の通常のバルク基板上に作成したものに比べて35%の増加が見られた。さらに、SOI基板上に形成したMOSトランジスタまたは空洞の内面を酸化していないSON基板上に作成したMOSトランジスタに比べても、移動度は高かった。

【0160】本実施形態のSON基板上に形成したMOSトランジスタの移動度が、従来のSOI基板上に形成したMOSトランジスタのそれに比べて高い理由は、基板内部に空洞5が存在することで従来のSOI基板よりもさらに寄生容量を低減できたこと、シリコン酸化膜32によってSON層内に高い応力を有する状態を実現できたことの相乗効果によるものであると考えられる。

【0161】なお、本実施形態では空洞5の内部を酸化するために、空洞5を形成した後にトレンチ10を形成したが、図25に示す方法でも可能である。この方法では、まず図22(a)に示すように、複数のトレンチ4およびそれよりも開口径が大きくかつ深い一つのトレンチ10を同時に形成する。その後、複数のトレンチ4を空洞に変えるための熱処理を行う。しかし、図25

(b)に示すように、大きなトレンチ10の上部がふさがらないので、図23(c)に示したような開口構造の空洞が形成されることになる。この後は、図23(d)以降と同じである。なお、トレンチ4、10のレイアウトは図22(a)のものに限定されず、種々のレイアウトが採用可能である。

【0162】また、本実施形態では、空洞5およびトレンチ10の内面のみにシリコン酸化膜32を選択的に形成するために、基板表面を含む全面にシリコン酸化膜32を形成した後、基板表面上のシリコン酸化膜32を選択的に除去したが、以下のようにしても良い。すなわち、基板表面上にシリコン窒化膜等の酸化防止膜を選択的に形成した後、酸化処理により空洞内面のみを酸化するようにしても良い。

【0163】また、本実施形態では、SON層内に引っ張り応力を発生させるために、空洞5等の内部にシリコン酸化膜32を形成したが、他の膜を形成しても良い。すなわち、単結晶シリコンと熱膨張係数の違う材料で形成された膜(異種材料膜)であれば利用可能である。さらに、単結晶シリコンと熱膨張係数が大きく異なる材

24

料で形成された異種材料膜であっても、半導体膜側に歪みを生じさせることができれば利用可能である。以上の条件を満足すれば、空洞5の内部に形成する膜(応力発生膜)は、絶縁膜もしくは金属膜であっても構わない。

【0164】さらに、本実施形態では、SON層33およびシリコン酸化膜32の厚さがほぼ同じ場合について説明した。シリコン酸化膜32によりSON層33内に発生する歪み量を大きくするためには、SON層33の厚さに対するシリコン酸化膜32の厚さの比は大きい程良い。しかし、この比が大きすぎると、基板強度の点で問題が生じてしまう。

【0165】本発明者等の種々の実験から、SON層33等の半導体層の厚さとシリコン酸化膜等の異種材料膜との厚さとの関係は、(半導体層の厚さ)/(半導体層の厚さ+異種材料膜の厚さ)の比が0.1から0.9の範囲の値であれば良いことが明らかとなった。

【0166】また、本実施形態では、空洞の内壁全体にシリコン酸化膜32を形成したが、SON層33内に引っ張り応力を生じさせることができれば、空洞の一部にシリコン酸化膜32等の応力発生膜を形成しても良い。

【0167】(第9の実施形態)本実施形態は、チャネル直下にSiGe層等が埋め込まれたシリコン基板(歪み基板)と同様の効果を有し、かつ上記歪み基板が持っている問題点を解決できる、SON基板について説明する。

【0168】図26は、本発明の第9の実施形態に係るSON基板の形成方法を示す断面図である。

【0169】まず、図26(a)に示すように、周知のリソグラフィ法とRIE法を用いて複数のトレンチ4をシリコン基板1の表面に配列形成する。

【0170】次に図26(b)に示すように、Geを原子数密度比で30%含む厚さ100nmのSiGe層41を、トレンチ4の内面を被覆するように、全面にエピタキシャル成長させる。

【0171】次に図26(c)に示すように、圧力10⁻⁷Paの真空中での1050℃、5分間の熱処理により、シリコン基板1の表面を流動させることで、上部、下部および側部にSiGe層(埋め込みSiGe層)41aが存在する空洞5を形成する。このとき、シリコン基板1の表面にもSiGe層(在留SiGe層)41bが形成される。

【0172】次に熱酸化により基板表面にシリコン酸化膜(不図示)を形成し、埋め込みSiGe層41a中のGe濃度を高くした後、上記シリコン酸化膜および在留SiGe層41bを除去する。これにより、埋め込みSiGe層41aのGe組成比を高くできる。

【0173】最後に、図26(d)に示すように、シリコン基板1の表面にGeを含まないシリコン層42をエピタキシャル成長させて、SON基板が完成する。

25

【0174】このようにして得られたSON基板の空洞5上のシリコン基板1およびその上のシリコン層42の応力を測定したところ、その値は80MPaであった。この結果から、埋め込みSiGe層41aを基板内部に形成することは、SON層中に意図的に応力を発生させる方法として有効であることが分かった。

【0175】本実施形態では、トレンチ4を形成した後、SiGe層41をエピタキシャル成長させたが、基板全面にSiGe層41をエピタキシャル成長させた後にトレンチ4を形成しても良い。この場合、トレンチ4を形成した後、熱処理により基板表面を流動させ、空洞5および埋め込みSiGe層41aを形成する。

【0176】また、基板表面の流動後に熱酸化によりシリコン酸化膜を形成することは、埋め込みSiGe層41aのGe組成比を高めるために有効な方法であるが、必ずしも必要ではない。

【0177】また、基板表面の流動後にエピタキシャル成長によりSi層42を形成することは、Geを含まないSON層を形成するために有効な方法であるが、デバイス応用上その必要がなければSi層42を形成する必要はない。

【0178】本実施形態のSON基板は、図27に示す従来のSiGe層41cを有する基板に比べて、以下のような利点がある。

【0179】従来技術では、シリコン基板1上に欠陥が少なく、かつGe組成比の高いSiGe層41cを形成するために、シリコン基板41をシード(seed)としてSiGe層41cのGe組成を濃度の低い状態から高い状態まで、膜厚方向に連続的に変化させるという方法を取っていた。そのため、SiGe層41cの厚さは、数百nm程度となる。すなわち、SiGe層42を厚く形成する必要がある。

【0180】これに対して本実施形態では、従来のSiGe層41cに相当するSiGe層41aは、SiおよびSiGeの表面マイグレーションにより形成しているため(図26(c))、空洞5上のSiGe層41aには欠陥は生じない。そのため、SiGe層41aを厚く形成する必要はなく、その厚さを数十nmまで薄くすることができる。この様子を図28に示す。下に空洞5が形成されていない領域43内のシリコン基板1およびシリコン層42中には多くの欠陥が発生し、欠陥密度が高くなる。一方、素子を作成する領域である下に空洞5が形成された領域44内のシリコン基板1およびシリコン層42中には実質的に全く欠陥が発生せず、欠陥密度は十分に低くなる。

【0181】本実施形態では、異種材料膜(SiGe層41a)の材料としてSiGeを用いたが、第8の実施形態と同様に、基板材料(Si)とは異なる他の材料を用いることが可能である。

【0182】さらに、第8の実施形態と同様に、Si層

26

42等の半導体層の厚さとSiGe層41等の異種材料膜との厚さとの関係は、(半導体層の厚さ)/(半導体層の厚さ+異種材料膜の厚さ)の比が0.1から0.9の範囲の値であれば、本発明の効果が実現されることが確認された。さらにまた、SON層内に引っ張り応力を生じさせることができるのであれば、空洞の一部にSiGe層41を形成しても良い。

【0183】(第10の実施形態)本実施形態では、本発明のESS技術をフォトニック結晶の作製に応用した例について説明する。

【0184】屈折率の異なる材料を周期的に形成することで、フォトニック結晶を形成することができる。フォトニック結晶は、超小型光集積回路を実現するための新たな光学材料として注目されている。

【0185】その上、フォトニック結晶はシリコン上に形成できることから、これまでの実装上の問題を回避でき、CMOSプロセスと融合させた将来の光電子集積回路の実現が期待されている。

【0186】これまで、フォトニック結晶の作製方法としては多く提案されているが、特に3次元のフォトニック結晶はその製造方法が困難であった。また、屈折率の差が大きい材料の組み合わせが望ましく、例えばシリコンと空気の組み合わせは理想的であるが、その形成方法は非常に困難とされている。

【0187】図29に、上記問題を解決できる、本発明の第10の実施形態に係る3次元周期構造体(フォトニック結晶)の模式図を示す。図において、51はシリコン基板を示しており、このシリコン基板51内には同じサイズの球形の空洞52(奥行き方向に対して順に色を濃く示してある)が周期的に3次元的に配列されている。

【0188】次に本実施形態の3次元周期構造体の製造方法について、図30を用いて説明する。

【0189】まず、図30(a)~30(c)に示すように、シリコン基板51上に酸化膜などからなるマスクパターン(不図示)を形成し、このマスクパターンをマスクにして反応性イオンエッチング法によりシリコン基板51をエッチングして同じ深さ同じ開孔径のトレンチ52を2次元的に配列形成し、その後上記マスクパターンを除去する。

【0190】次に図30(d)~30(f)に示すように、トレンチ52が形成されたシリコン基板51に、非酸化性の雰囲気中での高温・減圧下の熱処理を施すことで、シリコン基板51内にサイズが揃った複数の球形の空洞(ESS)53が周期的に配置した空洞パターンを形成する。具体的には、基板の深さ方向に関しては同一線上に等間隔で空洞が配列され、基板内の同一平面内に関しては格子状に空洞が配列された空洞パターンを形成する。

【0191】空洞53を形成するための熱処理は、シリ

27

コンの表面マイグレーションを起こすためのものである。そのため、上記熱処理前に、基板表面の自然酸化膜を完全に除去することが望ましい。自然酸化膜を十分に除去するためには、熱処理の雰囲気为非酸化性に保つことが有効である。これを容易に実現するためには熱処理の雰囲気を例えば水素100%の雰囲気とすることが望ましい。また、シリコンの表面マイグレーションを促進させるためには、10 Torr以下の圧力で熱処理を行うことが望ましい。典型的な熱処理条件としては、雰囲気100%水素雰囲気、温度が1100℃、圧力が10 Torr、時間が10minがあげられる。

【0192】ここでは、マスクパターンを除去した後に熱処理を行った場合について示したが、マスクパターンを除去せずに熱処理を行っても良い。ただし、この場合、熱処理後にマスクパターンを除去し、再度熱処理を行って基板表面を平坦化する必要がある。

【0193】本実施形態の3次元周期構造体は、屈折率の異なる材料（シリコン/空洞すなわち空気）を周期的に配列したものであるため、光に対して禁制帯を有するフォトニック結晶となる。フォトニック結晶の特性の一つである波長依存性は、全て（空洞5の周期/波長）でスケールされる。したがって、空洞5の周期を使用波長に応じたものとするにより、所望の波長で動作するフォトニック結晶を作成することができる。

【0194】空洞5の周期を制御する具体的な方法としては、深さ方向の周期に関してはトレンチ52の径の大きさおよび深さを変えることがあげられる。一方、深さ方向と垂直な方向の周期に関してはトレンチ52の配列の周期を変えることがあげられる。

【0195】以上述べたように本実施形態によれば、シリコンの表面マイグレーションを利用することで、屈折率差の大きな材料（シリコン：3.6/空気：1）の組み合わせで、3次元周期構造体を容易に実現することができる。この3次元周期構造体は、光を制御することができるフォトニック結晶として動作する。したがって、本実施形態の3次元周期構造体を光導波路、偏光子、プリズム等の光学素子として動作させることができる。

【0196】さらに、上記方法によれば、空洞5の周期を1μm程度以下にすることができる。すなわち、微細な光学素子をシリコン基板中に形成することができる。これにより、光学素子とCMOSプロセスとを融合させた光電子回路を容易に作製することが可能となる。

【0197】（第11の実施形態）図31は、本発明の第11の実施形態に係る3次元周期構造体（フォトニック結晶）の模式図である。本実施形態が第10の実施形態と異なる点は、シリコン基板51内に、サイズ（直径）の異なる空洞53sおよび空洞53lが周期的に配列してあることにある。

【0198】具体的には、基板の深さ方向に関しては複

28

数の同じサイズの球形の空洞53sまたは空洞53l（奥行き方向に対して順に色を濃く示してある）が同一線上にそれぞれ等間隔で配列され、基板内の同一平面内に関してはサイズの異なる空洞53sおよび空洞53lがそれぞれ格子状に配列されている。

【0199】次に本実施形態の3次元周期構造体の製造方法について、図32を用いて説明する。

【0200】まず、図32(a)~32(c)に示すように、シリコン基板51上に酸化膜などからなるマスクパターン（不図示）を形成し、このマスクパターンをマスクにして反応性イオンエッチング法によりシリコン基板51をエッチングして同じ深さで開孔径が互いに異なるトレンチ52sおよびトレンチ52lを格子状に配列形成する。その後、上記マスクパターンを除去する。

【0201】次に図32(d)~32(f)に示すように、トレンチ52sおよびトレンチ52lが形成されたシリコン基板51に、非酸化性の雰囲気中での高温・減圧下の熱処理を施すことで、シリコン基板51内に深さ方向にはサイズの揃った球状の空洞53sまたは空洞53lが周期的に配列し、深さ方向と垂直な方向には異なるサイズの空洞53sおよび空洞53lが交互に周期的に配列した空洞パターンを形成する。なお、第10の実施形態で述べたように、マスクパターンを除去せずに熱処理を行っても良い。

【0202】このようにして得られた空洞パターンを有するシリコン基板51は、第10の実施形態と同様に光を制御することのできるフォトニック結晶とみなせ、光学素子として動作させることができる。

【0203】本実施形態でも、第10の実施形態と同様の方法により空洞の周期、すなわち動作波長を制御できる。さらに実施形態によれば、サイズの異なる空洞52s、52lを用いているので、そのサイズの違いを利用することにより、より広範囲に動作波長を制御することができる。

【0204】第10および第11の実施形態において、水素を含む雰囲気中での熱処理により空洞52、52s、52lを形成した場合、これらの内部には水素が残る。さらに、本発明者等の研究によれば、空洞52、52s、52lは角の取れた多面体で構成されていることを確認した。より正確には、所定の面方位を有する多面体で構成されていた。

【0205】さらに、多面体を構成する面の面方位がシリコン基板の主面である(100)面となす角度を調べたことによって以下のことが分かった。すなわち、多面体を構成する面は、{100}面群、{110}面群、{111}面群、{311}面群、{531}面群、{541}面群から構成されていることが明らかになった。これらの面群は表面エネルギーが低いことから、上記空洞は熱的に安定であるといえる。

【0206】（第12の実施形態）ここでは、本発明の

ESS技術を光集積回路に適用した実施形態、特に光導波路に適用して実施形態について説明する。

【0207】光集積回路技術においては、光受動素子、発光素子などの光素子はSi基板またはGaAs基板などの半導体基板上に形成され、光導波路は光素子とは別に石英(SiO₂)を主成分として形成される。したがって、光導波路と光素子との接続部においては、必然的に半導体領域中に光を伝播させる必要が生じる。

【0208】半導体領域中に光を伝播させる方法の一つとして、Siの方がSiO₂よりも屈折率が大いこと10を利用する方法がある。この方法は、Siで形成した光導波路の径を上記光の波長の数倍程度の5μm程度以下にし、光導波路とその周囲のSi領域との界面(Si/SiO₂界面)で光を全反射させることで、Si領域中に光を閉じ込めるといものである。

【0209】Siを主成分とする光導波路においては、その閉じ込め性を上げるために、その周囲の物質の屈折率がSiに対して低ければ低いほど望ましい。Siの屈折率は3.4であるのに対しSiO₂の屈折率は1.5である。

【0210】SiO₂よりも低い屈折率を有する媒体とえば当然真空(屈折率=1)である。現実的には真空ではなく空気を媒体とすることになる。光導波路として用いられるSi領域の周囲を空気にする方法として、例えばSOI基板を用いることが考えられるが、その実現は困難である。

【0211】その理由は、SOI基板のSi領域をエッチングすることで、Siが露出した上面および側面を有するパターンは容易に形成することはできるが、SOI基板のSiO₂領域をエッチングし、上記パターンの下のSiO₂領域のみを選択的に除去することは困難であるからである。

【0212】図33は、本発明の第12の実施形態に係る光導波路を示す斜視図である。図において、61は(100)面方位を有する単結晶のシリコン基板を示しており、このシリコン基板61には上面、側面および底面の周囲が空気であるSiパターン62が形成されている。

【0213】Siパターン62とその周囲の空気は光導波路を構成している。この光導波路内には例えば波長40 1.4μmが伝搬する。実際の光回路では、Siパターン62の一端は図示しない光機能素子の発光部と繋がり、他端は図示しない光機能素子の受光部と繋がる。

【0214】このような光導波路は、今まで述べてきたESS技術を用いて容易に形成することができる。まず、公知のリソグラフィ法およびRIE法を用いて、シリコン基板61の表面に複数のトレンチを形成する。次に還元雰囲気中での高温の熱処理により、シリコンの表面マイグレーションを起こして、シリコン基板61内に大面積の空洞(ESS)を形成する。そして、公知のリ50

ソグラフィ法およびRIE法を用いて、シリコン基板の空洞上のシリコン領域(SON層)のうちSiパターン62として用いない部分を選択的に除去する。

【0215】図34に従来のSOI基板を用いた光導波路の斜視図を示す。図において、61はシリコン基板、63はSiO₂層、64はシリコン基板を加工して形成したSiパターンを示している。従来のSiパターン64の上面および側面の周囲は本発明のSiパターン62と同様に空気であるが、底面は本発明のSiパターン62とは異なりSiO₂層63である。SiO₂の屈折率(=1.5)は空気の屈折率(=1.0)に比べて大きい。

【0216】そのため、図33に示した本発明の光導波路は、図34に示した従来の光導波路に比べて、外部に漏れ出る光量が圧倒的に少なくなり、光導波路として優れた特性(光閉じ込め特性)を持つものであるといえる。

【0217】以上述べたように本実施形態によれば、良好な光閉じ込め特性を有する光導波路を実現でき、その結果として光損失の少ない光集積回路を実現することが可能となる。

【0218】(第13の実施形態)インダクタ、キャパシタ等の受動素子は、トランジスタ等の能動素子と同様に半導体基板上に形成される。受動素子と半導体基板との間の寄生容量、寄生抵抗(渦電流損: eddy-current loss)は大きい。

【0219】そのため、従来のインダクタ、キャパシタは、それに流れる信号の周波数が1GHz以上の高周波数になると、以下のような問題が起こる。すなわち、インダクタに関してはQ値が低くなり、キャパシタに関しては高精度なキャパシタンスを得ることが困難になるとい問題が起こる。

【0220】本発明は、上記問題を解決するために、半導体基板として平板状の空洞を有するシリコン基板を用い、そして平板状の空洞上のシリコン基板上に受動素子を形成する。このような構成であれば、受動素子と半導体基板との間の寄生容量、寄生抵抗を効果的に小さくでき、上述した問題を解決できる。

【0221】図35に本発明を適用したインダクタを有する半導体装置の平面図および断面図を示す。また、図36に本発明を適用したMIMキャパシタを有する半導体装置の断面図を示す。図において、70はシリコン基板、71は平板状の空洞(ESS)、72はスパイラルインダクタ、73はメタル電極、74は絶縁膜、75はメタル電極をそれぞれ示している。シリコン基板70上にインダクタおよびキャパシタの両方を形成しても良い。

【0222】平板状の空洞71を有するシリコン基板70の形成方法は、上述した実施形態のいずれの形成方法を用いて良い。このようなシリコン基板70を形成した

31

後、従来通りにインダクタ等の受動素子、さらにはトランジスタ等の能動素子および配線層を形成する。空洞 71 の形成後に、受動素子等を形成する理由は、空洞 71 の形成には高温での熱処理が必要であるからである。

【0223】(第 14 の実施形態) 近年、半導体の分野においては、デバイスやモジュールの高密度化、高機能化が進んでいる。このような高密度化、高機能化に伴いデバイス等の発熱量が増大し、放熱が非常に難しくな

ってきている。
【0224】従来の放熱方法の一つとして、デバイスまたはパッケージに放熱フィンを取り付け、デバイス等からの熱を熱伝導によってフィンに伝え、フィンからの熱伝導により空気中に熱を逃がす方法が知られている。しかし、上述したように発熱量が増大すると、十分な放熱効果は得られ無くなる。そこで、近年、機器全体の小型化や強制空冷(ファン)による放熱が主流となってきた。しかし、それでも必要な放熱効果を得ることが困難になってきている。

【0225】スーパーコンピュータ等のメインフレームにおいては、液体窒素またはフロン等の冷媒による冷却が主流である。この冷却方法を半導体デバイス等に適用することも考えられる。しかし、上記冷媒中に存在する不純物によって、端子や配線等が腐食するなどの問題が起

こる。
【0226】本発明は、上記問題を解決するために、半導体基板として冷媒を流すための複数の冷却パイプを含むシリコン基板を用いる。このような構成であれば、冷却パイプに冷媒を流すことにより、高密度化、高機能化に伴うデバイス等の発熱量が増大しても、シリコン基板を効果的に冷却できるので、放熱の問題を解決できるようになる。さらに、冷媒は端子等が存在しない基板内部を流れるので、腐食の問題は起こらない。

【0227】図 37 に、本発明の第 14 の実施形態に係る冷却パイプ(冷却構造)を有するシリコン基板の斜視図を示す。図において、81 はシリコン基板、82 は冷却パイプをそれぞれ示している。なお、シリコン基板を冷却する際には図示しない冷媒供給機構を用意する。

【0228】次に図 38 を用いて、本実施形態の冷却パイプを有するシリコン基板を用いた半導体装置の製造方法を説明する。

【0229】まず、Si ウェハ 83 を用意する。図において 84 はスクライプラインを示している。

【0230】次に本発明の ESS 技術を用いて複数の平板状の空洞(中空構造) 85 をスクライプライン 84 に対して直交するように形成する。平板状の空洞 85 の形成方法は、上述した実施形態のいずれの形成方法を用いても良い。好ましくは、円筒状の空洞 85 が形成されるように、複数のトレンチのパターンを設計する。

【0231】その後、Si ウェハの空洞 85 上のシリコン領域上に、必要な素子、配線等を周知の方法に従って

32

形成し、所望の機能を有する複数の半導体装置(不図示)を Si ウェハ 83 に形成する。

【0232】最後に、スクライプライン 84 に沿って Si ウェハを周知の方法により切り、1 枚の Si ウェハ 83 から複数のチップを取り出す。このとき、空洞 85 が切断されるので、冷却パイプが同時に完成する。

【0233】(第 15 の実施形態) 本実施形態では、第 6、第 7 の実施形態とは異なる、平板状の ESS のつづれを防ぐ技術について説明する。本実施形態の骨子は、空洞領域の内部につづれを防止するための Si 柱を形成することにある。このような Si 柱は以下の方法により形成することができる。

【0234】まず、シリコン基板上に酸化膜などからなるマスク材を形成し、その上にフォトレジストパターンを形成する。マスク材は第 1 の実施形態で説明したものと同様のものが使用可能である。

【0235】次にフォトレジストパターンをマスクとして、異方性エッチング例えば RIE によりマスク材をパターニングし、マスク材にフォトレジストパターンのパターンを転写する。

【0236】次にフォトレジストパターンを炭化して剥離した後、パターニングされたマスク材をマスクとして異方性エッチング例えば RIE によりシリコン基板をパターニングして、シリコン基板の表面に複数のトレンチを 2 次元的に配列形成する。ここで、図 39(a) に示すように、Si 柱を形成する領域にはトレンチ 4 を形成しない。

【0237】図には 1 個のトレンチを取り除いた例を示したが、複数個のトレンチを取り除いても良い。取り除くトレンチの数によって、Si 柱の大きさを変えることができる。

【0238】最後に、マスク材 2 を除去した後、減圧下の還元性雰囲気中にて高温アニールを行うことにより、図 39(b) に示すように、シリコン基板 1 の内部に 1 つの平板状の空洞 5 を形成するとともに、空洞 5 の内部に 2 つの Si 柱 1p を形成する。

【0239】次に ESS のつづれを防ぐために効果的な Si 柱の配置について説明する。Si 柱は、空洞 5 の形成時または形成後の空洞 5 の外圧と空洞 5 の内圧との圧力差により、空洞 5 が押しつぶされることを防ぐために設けるものである。

【0240】そこで、空洞 5 上のシリコン基板(以下、シリコン層という)の厚さ t ($=0.1\mu\text{m}, 1\mu\text{m}$) と、シリコン層の撓み量 δ との関係を調べた。その結果を図 40 に示す。図から、空洞の幅に関係なく、シリコン層が薄い場合のほうが撓み量 δ は大きいことが分かる。

【0241】撓み量 δ を小さくするには、例えばシリコン層の厚さが $0.1\mu\text{m}$ の場合、空洞 5 の幅 W を $5\mu\text{m}$ 以下にすれば良い。この場合の撓み量 δ は、 0.02μ

33

m以下という問題が無い大きさとなる。

【0242】より正確にその間隔を見積もるために、シリコン層の撓み計算式を用いて、シリコン層の厚さに対してどの程度の間隔でSi柱を配置すればよいか調べた。撓み量 δ がシリコン層の厚さの半分以下であれば、*

$$w \leq t \quad (E/0.0568P)^{1/4} \quad (3)$$

ここで、Eはシリコンのヤング率(=0.13(N/ μ m²))、Pはシリコン層にかかる荷重(圧力)(N/ μ m²)を示している。

【0244】シリコン層の厚さが0.1 μ mの場合、E 10
SSのつぶれを防止するために必要なSi柱の間隔を(1)式に基づいて求めると、6.9 μ m以下となる。

【0245】以上述べたように、シリコン層が薄くても、空洞5内にSi柱1pを形成することで、空洞5の外圧と空洞5の内圧との圧力差による、空洞5のつぶれを効果的に抑制できるようになる。これにより、より大面積の空洞5を有するSON基板を実現できるようになる。さらに、SON基板の設計の自由度が高くなる。

【0246】本発明者等は、図41に示すように、上から見た形状が円形である平板状の空洞5を有するSON 20
基板について、シリコン層の撓み量を見積もってみた。

【0247】この場合、最大の撓みは円の中心に生じ、シリコン層の撓み量 δ は次式(4)で与えられる。

$$\delta = 0.0108Pa^4 / (Et^3) \quad (4)$$

ここで、aは直径(μ m)、tはシリコン層の厚さ(μ m)を示している。

【0249】図41に示したSON基板のシリコン層の撓み量を、上から見た形状が矩形である平板状の空洞を有するSON基板のそれと比較してみる。

【0250】直径が矩形の短辺の長さと同じである円板の場合の最大撓み量は、矩形の場合の最大撓み量の3/8倍である。すなわち、円形の場合、その直径を1.27倍にすると、矩形の場合と同じ大きさの撓みが生じる。しかしながら、矩形の場合には長辺の長さを大きくしても、最大撓み量が増大することはないため、矩形のほうがより大面積の空洞を形成することができる。

【0251】(第16の実施形態)図42は、本発明の第16の実施形態に係る圧力センサを示す図である。

【0252】図中、91は主面が{100}のn型SON 40
N基板、92はn型SON基板91中の矩形状の空洞、93₁~93₄は空洞92の周辺部上の基板表面に形成された、ブリッジ回路を構成するゲージ抵抗としてのp型拡散層、94は配線としての基板表面に形成された高不純物濃度のp⁺型拡散層、95はAl等の金属からなる金属配線をそれぞれ示している。金属配線95は、n型SON基板91上に形成された図示しない絶縁膜に開口された接続孔を介して、p⁺型拡散層94に接続している。

【0253】本実施形態の圧力センサは、空洞92の外 50

34

*大きな影響を受けないことから、下記のシリコン層の厚さの幅wに関する不等式(3)を満たすように、Si柱を配列しておくことで問題なくESSを形成することができることが分かった。

【0243】

気圧と空洞92の内圧力との圧力差により、空洞92上のSON基板91(シリコン層)が撓むことを利用した、ダイヤフラム式半導体圧力センサである。圧力差によってシリコン層が撓むと、ピエゾ抵抗効果によってp型拡散層93₁~93₄の抵抗(ゲージ抵抗)の値が変化する。この抵抗値の変化はブリッジ回路により電気信号として検出できる。これにより、シリコン層にかかる圧力を測定することが可能となる。

【0254】空洞92は真空なので、測定される圧力は絶対圧となる。シリコン層にかかる圧力を大気圧を基準にして測定した場合には、図43に示すように、n型SON基板91の裏面に空洞92に繋がる開口部96を設ければ良い。

【0255】シリコン層の撓みの度合は、シリコン層の厚みおよびそのサイズによって変えることができる。そのため、本実施形態の圧力センサが測定できる圧力範囲は、シリコン層の厚みおよびそのサイズによって制御できる。したがって、シリコン層の厚みおよびそのサイズを適当に選ぶことにより、所望の圧力範囲を測定できる圧力センサを実現できる。

【0256】図44に変形例に係る圧力センサを示す。この圧力センサは、主面が{110}のn型基板91を用いて作製したものである。主面が{100}のSON基板と、主面が{110}のSON基板とでは、その異方性によりシリコンの撓み量が同じでも、ピエゾ抵抗効果による抵抗の変化量が異なる。図43に示した圧力センサは、感度(ピエゾ抵抗効果による抵抗値の変化量)が大きくなるように、p型拡散層93₁~93₄のパターンを選んだものである。図45に、図43に対応した圧力センサを示す。

【0257】なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、シリコン基板を用いた場合について説明したが、本発明はシリコンゲルマニウム基板等の他の半導体基板に対しても有効である。すなわち、本発明によれば、シリコンに限定されない安価で信頼性の高いSOI(Semiconductor On Insulator)構造を提供することが可能となる。

【0258】また、上記実施形態では、2次元的に配列形成した複数のトレンチ2を熱処理によって1つの平板状の空洞に変えたが、同様な作用効果は、1次元的に配列形成した複数のストライプ状のトレンチを、熱処理によって1つの平板状の空洞に変えることによって得られる。

【0259】また、本発明のSOI構造に加えてCu配

37

形成方法を示す断面図

【図 40】ESS 上のシリコン基板について、その厚さと焼み量 δ との関係調べた結果を示す図

【図 41】上から見た形状が円形である平板状の空洞を有する SON 基板を示す図

【図 42】本発明の第 16 の実施例に係る圧力センサを示す図

【図 43】同実施例に係る圧力センサの変形例を示す図

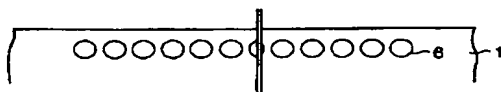
【図 44】、同実施例に係る圧力センサの他の変形例を示す図

【図 45】同実施例に係る圧力センサのさらに別の変形例を示す図

【符号の説明】

- 1 …シリコン基板
- 2 …マスク材
- 3 …フォトリソパターン
- 4 …溝 (第 1 の溝)
- 5 …平板状の空洞
- 5' …閉じていない空洞
- 6 …球状の空洞
- 7 …シリコン酸化膜
- 8 …シリコン窒化膜
- 9 …フォトリソパターン
- 10 …溝 (第 2 の溝)
- 11 …シリコン熱酸化膜
- 12 …シリコン酸化膜
- 13 …フォトリソパターン
- 14 …素子分離溝
- 15 …シリコン熱酸化膜
- 16 …シリコン酸化膜
- 17 …ゲート酸化膜
- 18 …ゲート電極
- 19, 20 …エクステンション
- 21 …ゲート側壁絶縁膜
- 22 …ソース拡散層
- 23 …ドレイン層
- 24 …シリコン熱酸化膜

【図 2】

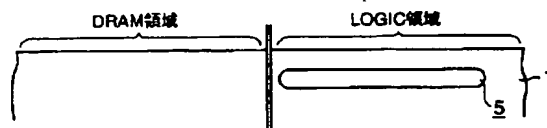


38

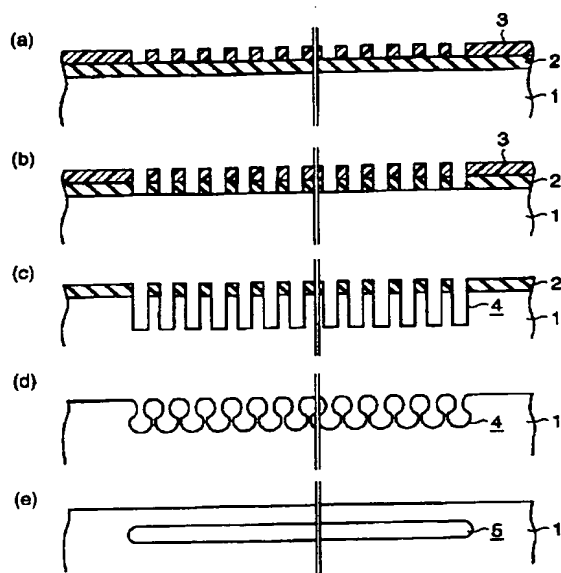
- * 25 …シリコン窒化膜
- 26, 27 …フォトリソパターン
- 28 …溝 (第 3 の溝)
- 29 …シリコン酸化膜
- 30 …シリコン窒化膜
- 31 …フォトリソパターン
- 32 …シリコン酸化膜
- 33 …SON 層
- 41 …SiGe 層
- 42 …シリコン層
- 43 …下に空洞 5 が形成されていない Si 領域
- 44 …下に空洞 5 が形成されている Si 領域
- 51 …シリコン基板
- 52 …トレンチ
- 53 …球状の空洞
- 61 …シリコン基板
- 62 …Si パターン
- 63 …SiO₂ 層
- 64 …Si パターン
- 70 …シリコン基板
- 71 …平板状の空洞
- 72 …スパイラルインダクタ
- 73 …メタル電極
- 74 …絶縁膜
- 75 …メタル電極
- 81 …シリコン基板
- 82 …冷却パイプ
- 83 …Si ウェハ
- 84 …スクライブライン
- 85 …平板状の空洞 (中空構造)
- 91 …SON 基板
- 92 …矩形状の空洞
- 931 ~ 934 …p 型拡散層 (ゲージ抵抗)
- 94 …p⁺ 型拡散層 (配線)
- 95 …金属配線
- 96 …開口部

*

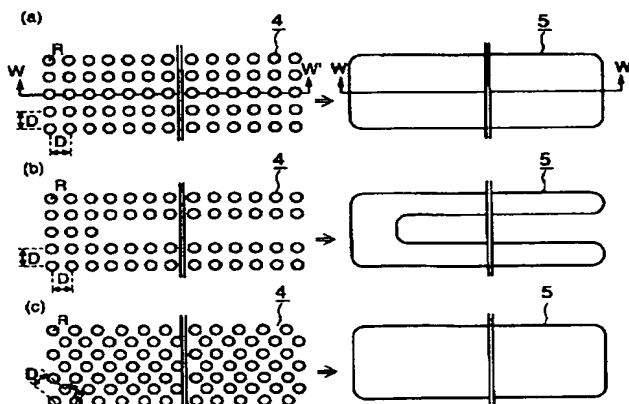
【図 4】



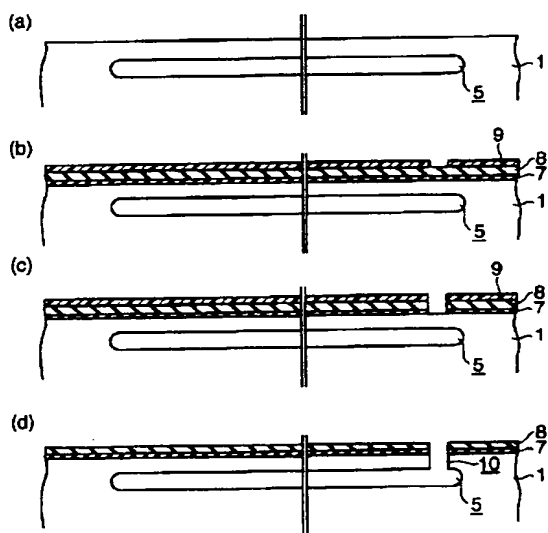
【図 1】



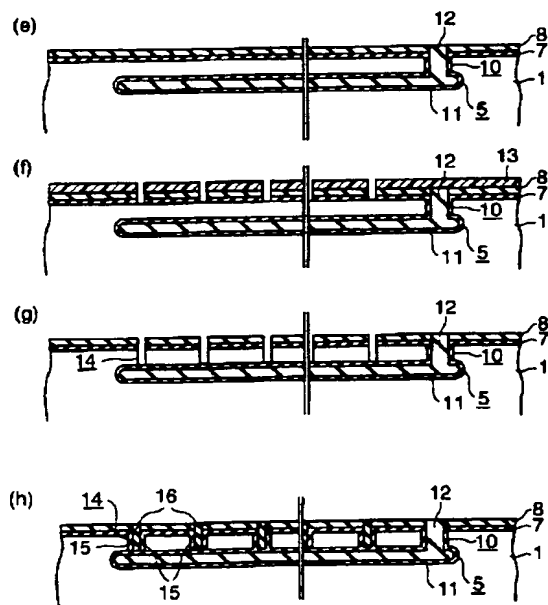
【図 3】



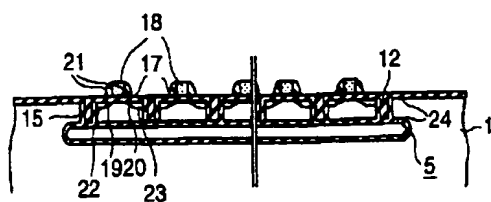
【図 5】



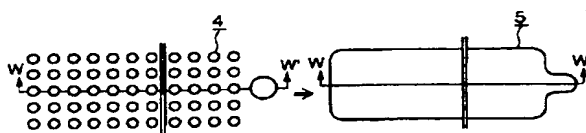
【図 6】



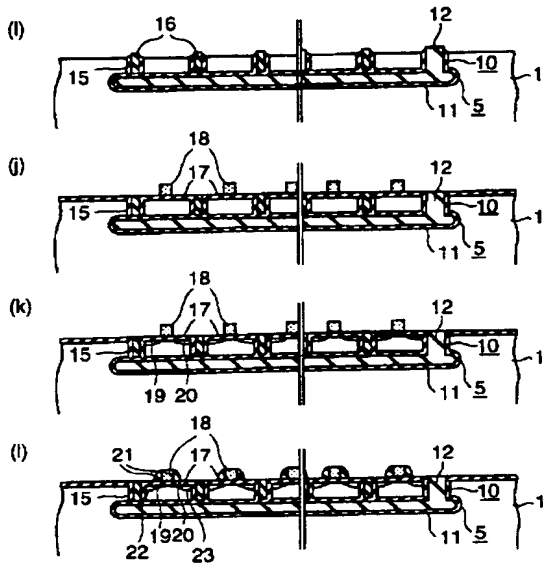
【図 9】



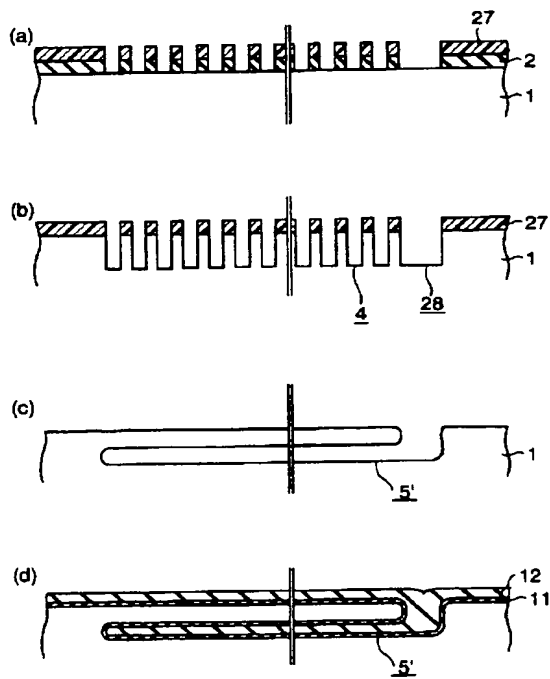
【図 12】



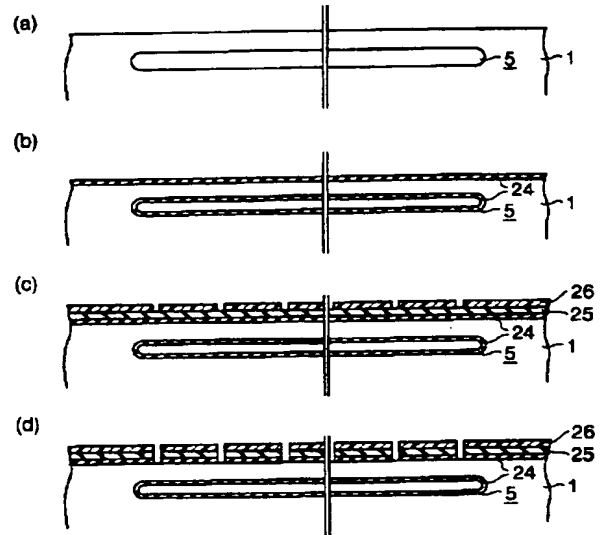
【図 7】



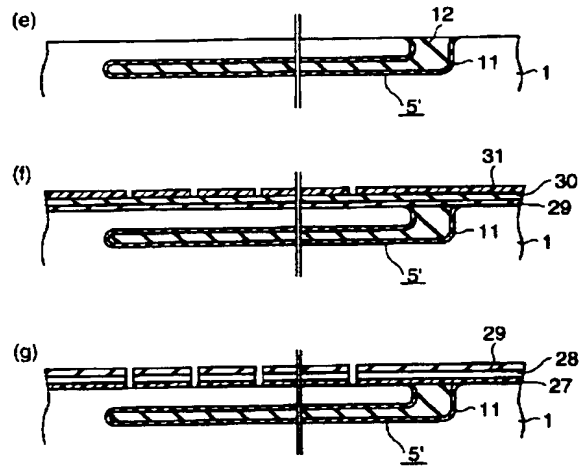
【図 10】



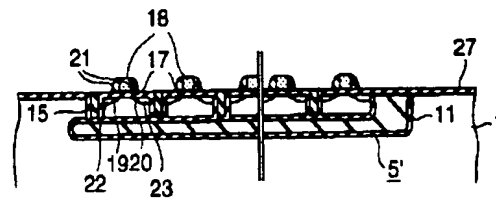
【図 8】



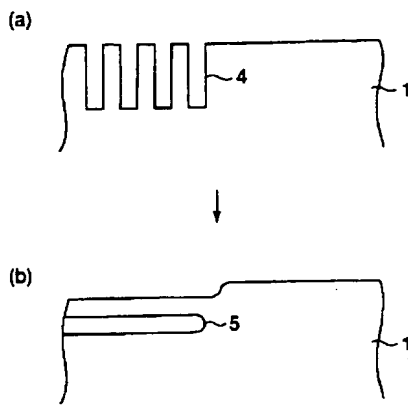
【図 11】



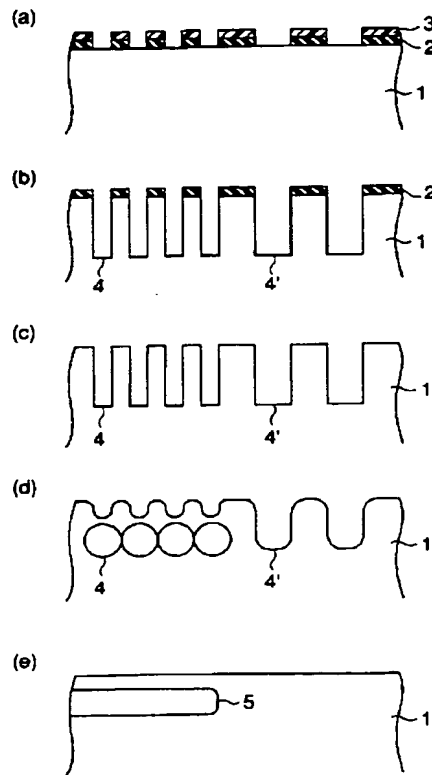
【図 13】



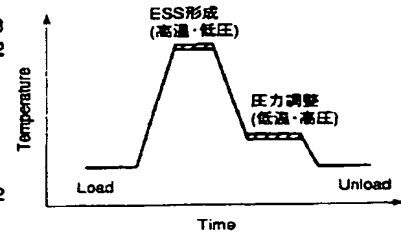
【図14】



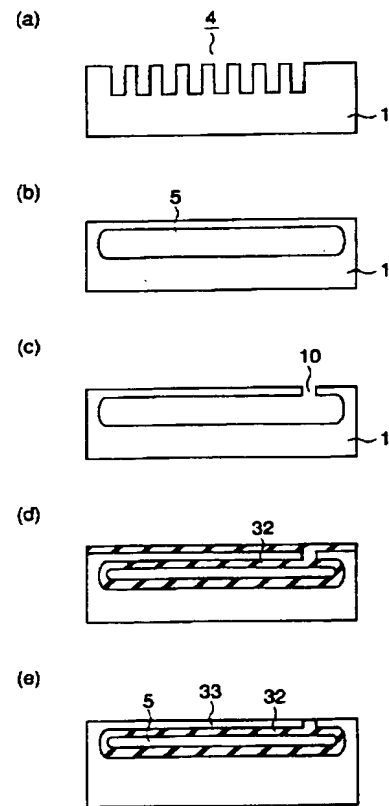
【図15】



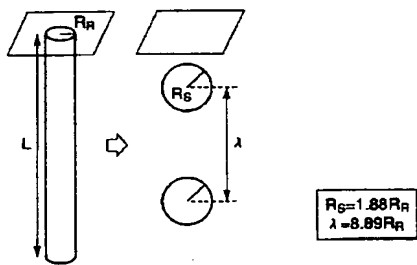
【図21】



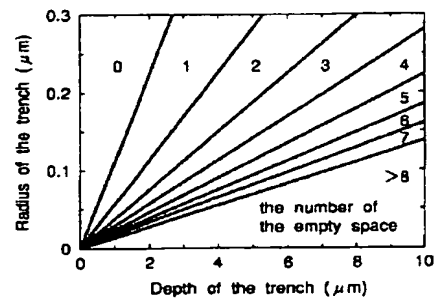
【図23】



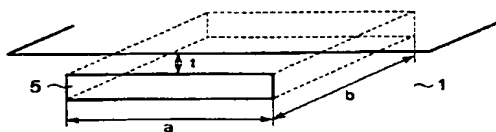
【図16】



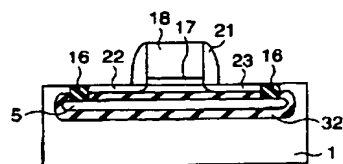
【図17】



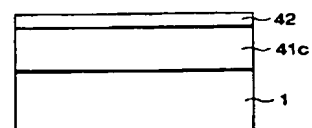
【図19】



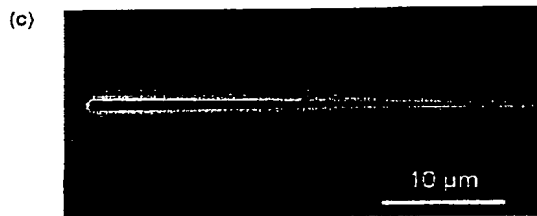
【図24】



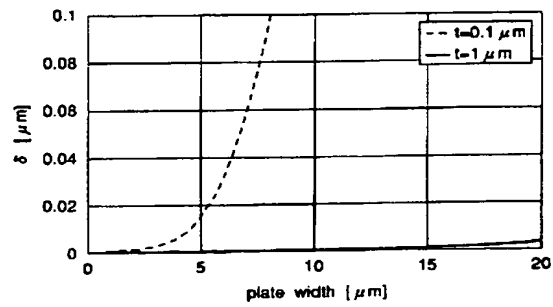
【図27】



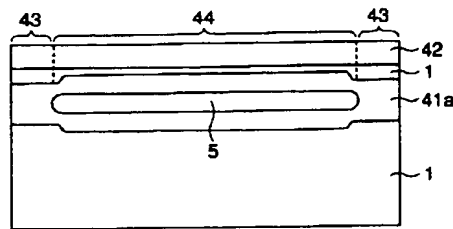
【図 18】



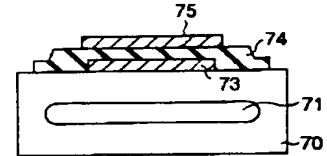
【図 20】



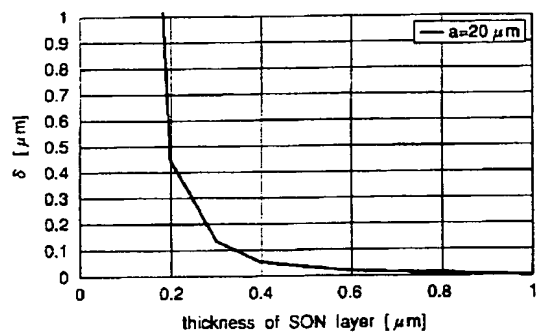
【図 28】



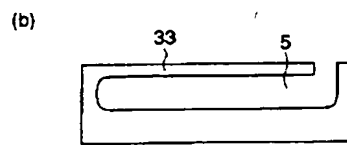
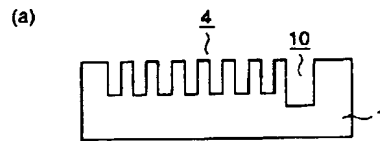
【図 36】



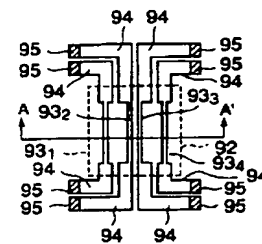
【図 22】



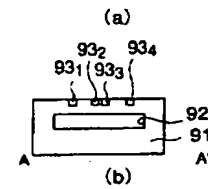
【図 25】



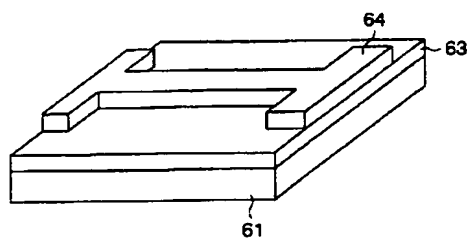
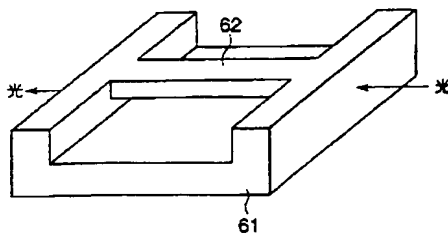
【図 42】



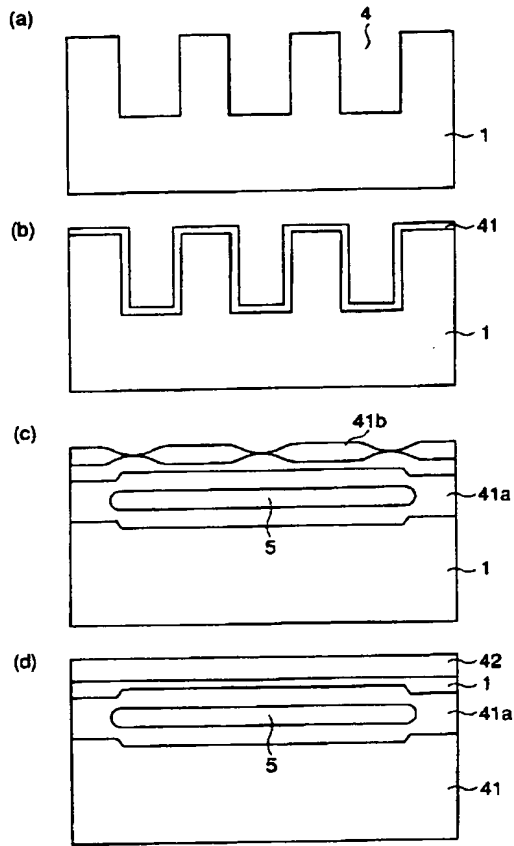
【図 34】



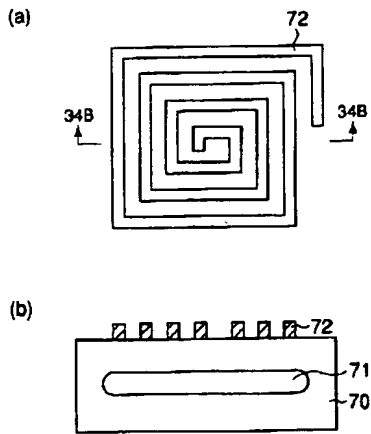
【図 33】



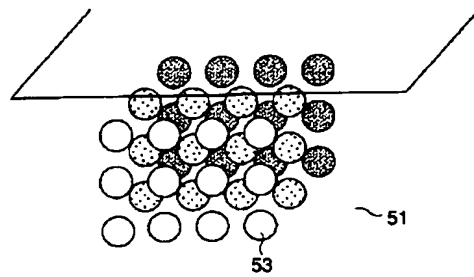
【図 26】



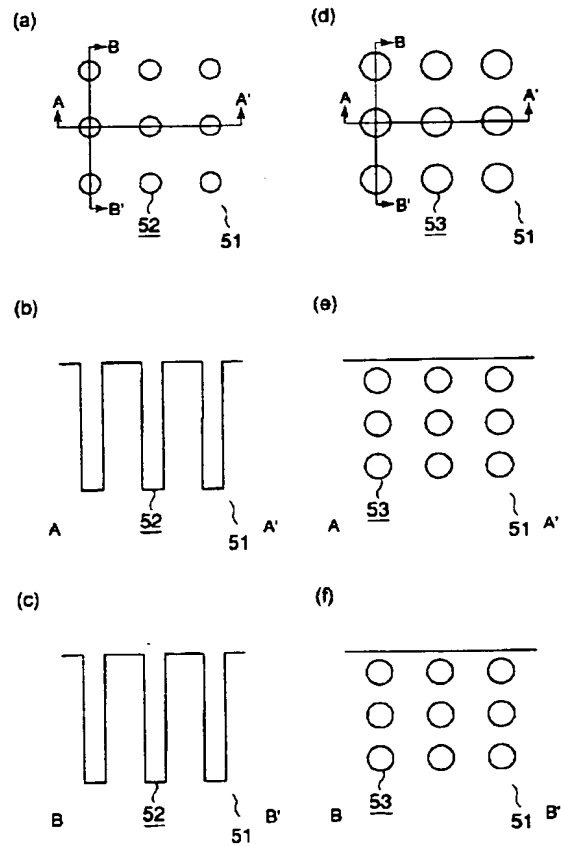
【図 35】



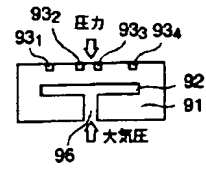
【図 29】



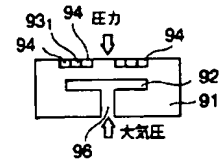
【図 30】



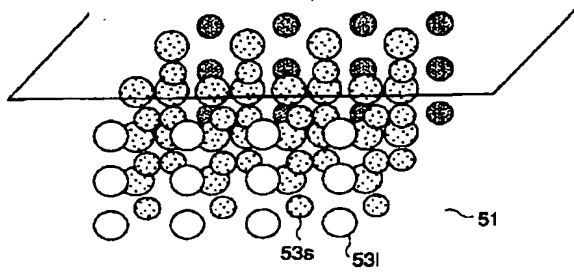
【図 43】



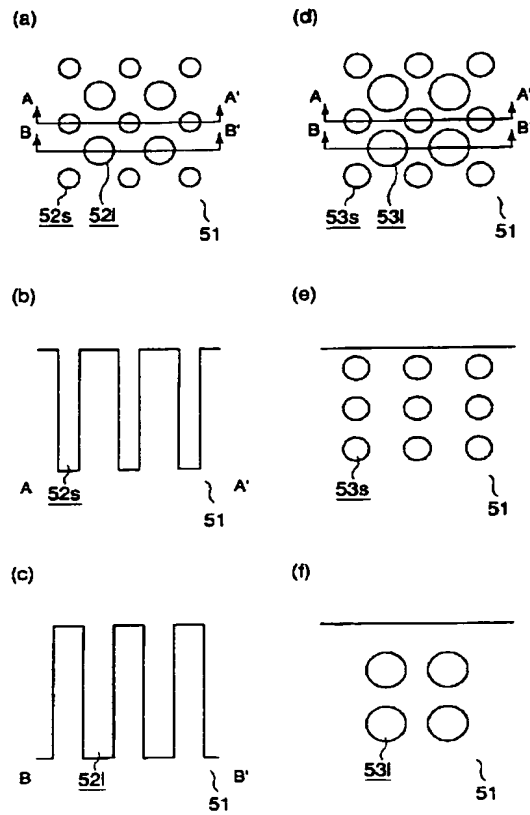
【図 45】



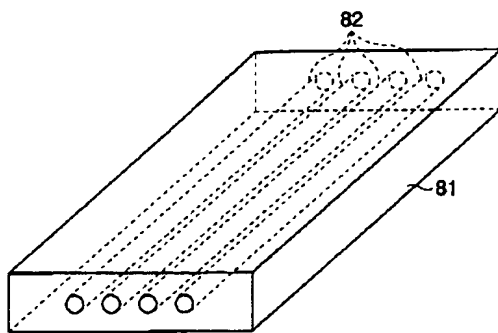
【図 3 1】



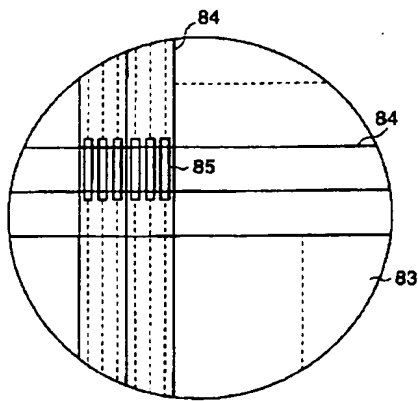
【図 3 2】



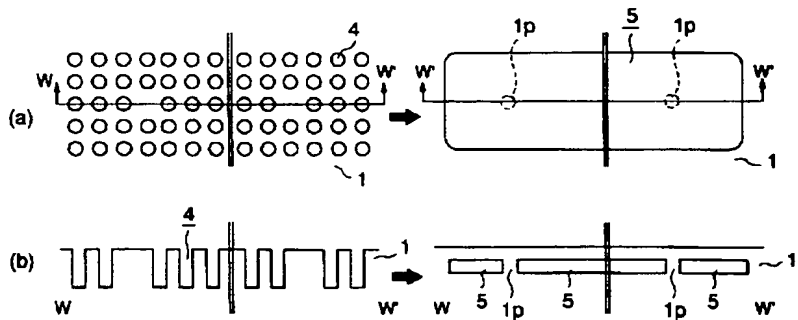
【図 3 7】



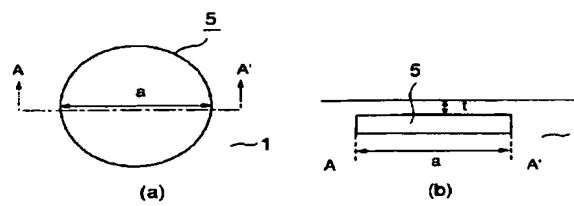
【図 3 8】



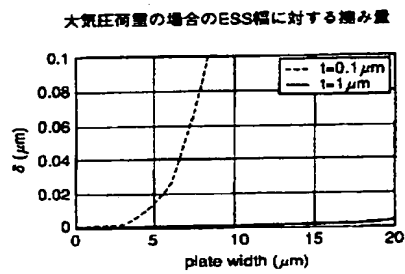
【図 3 9】



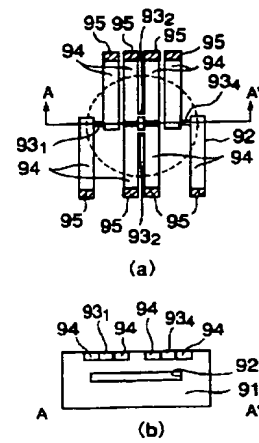
【図 4 1】



【図 40】



【図 44】



フロントページの続き

| (51) Int. Cl. 7 | | 識別記号 | F I | テマコード (参考) |
|-----------------|--|-------|---------------|------------|
| H 0 1 L | 21/762 | | H 0 1 L 27/10 | 4 6 1 |
| | 27/04 | | 29/84 | B |
| | 21/822 | | G 0 2 B 6/12 | B |
| | 21/8238 | | | N |
| | 27/092 | | | Z |
| | 27/08 | 3 3 1 | H 0 1 L 21/76 | D |
| | | | 27/04 | C |
| | 27/10 | 4 6 1 | | L |
| | 27/108 | | 27/08 | 3 2 1 K |
| | 21/8242 | | | 3 2 1 A |
| | 29/786 | | 27/10 | 6 8 1 D |
| | 21/336 | | 29/78 | 6 1 6 A |
| | 29/84 | | | 6 1 8 B |
| | | | | 6 1 8 E |
| (72) 発明者 | 水島 一郎 神奈川県横浜市磯子区新杉田町 8 番地 株 式会社東芝横浜事業所内 | | | 6 2 1 |
| | | | | 6 2 6 C |
| | | | | 6 2 7 Z |
| | | | | |
| (72) 発明者 | 網島 祥隆 神奈川県横浜市磯子区新杉田町 8 番地 株 式会社東芝横浜事業所内 | | | |
| | | | | |
| (72) 発明者 | 高木 信一 神奈川県川崎市幸区小向東芝町 1 番地 株 式会社東芝研究開発センター内 | | | |
| | | | | |